

Лекция № 24

ПОНЯТИЕ ЦИФРОВОЙ ЭЛЕКТРОНИКИ

24.1 Термины и определения цифровой электроники

Все цифровые устройства строятся из логических микросхем, каждая из которых (рисунок 24.1) обязательно имеет следующие выводы:

- выводы питания: общий (или «земля») и напряжения питания, которые на схемах электрических принципиальных обычно не показываются;
- выводы для входных сигналов (или «входы»), на которые поступают внешние цифровые сигналы;
- выводы для выходных сигналов (или «выходы»), на которые выдаются цифровые сигналы из самой микросхемы.

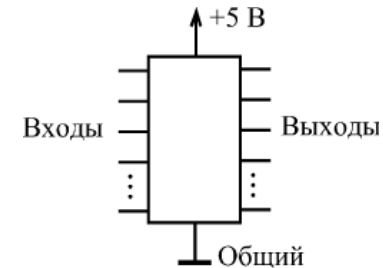


Рисунок 24.1 – Цифровая микросхема

Каждая микросхема преобразует тем или иным способом последовательность входных сигналов в последовательность выходных сигналов.

Двоичный набор – конкретное значение всех входных сигналов. Так как цифровые устройства работают с двоичными сигналами, поэтому бывает удобно пронумеровать все входы и считать каждый вход соответствующим разрядом двоичного числа. После этого можно задавать двоичный набор двоичным или шестнадцатеричным числом. Понятие двоичного набора можно распространить и на выходные сигналы.

Положительный сигнал (сигнал положительной полярности) – это сигнал, активный уровень которого – логическая единица. То есть нуль – это отсутствие сигнала, единица – сигнал пришел.

Отрицательный (инверсный) сигнал (сигнал отрицательной полярности) – это сигнал, активный уровень которого – логический ноль. То есть единица – это отсутствие сигнала, ноль – сигнал пришел (рисунок 24.2).

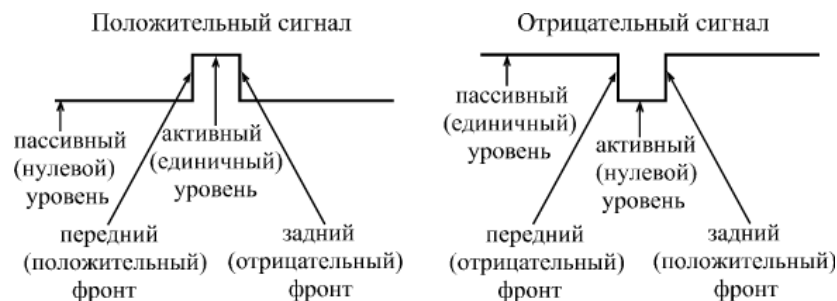


Рисунок 24.2 – Элементы цифрового сигнала

Активный уровень сигнала – это уровень, соответствующий приходу сигнала, то есть выполнению этим сигналом соответствующей ему функции.

Пассивный уровень сигнала – это уровень, в котором сигнал не выполняет никакой функции.

Инвертирование, или инверсия, сигнала – это изменение его полярности.

Инверсный выход – это выход, выдающий сигнал инверсной полярности по сравнению с входным сигналом.

Прямой выход – это выход, выдающий сигнал такой же полярности, какую имеет входной сигнал.

Положительный фронт сигнала (фронт) – это переход сигнала из нуля в единицу.

Отрицательный фронт сигнала (спад) – это переход сигнала из единицы в ноль.

Передний фронт сигнала – это переход сигнала из пассивного уровня в активный.

Задний фронт сигнала – это переход сигнала из активного уровня в пассивный.

Тактовый сигнал (или строб) – управляющий сигнал, который определяет момент выполнения элементом или узлом его функции.

Шина – группа сигналов, объединенных по какому-то принципу, например, шиной называют сигналы, соответствующие всем разрядам какого-то двоичного кода.

24.2 Системы счисления, применяемые при разработке цифровых устройств

Существующие системы счисления делятся на позиционные и непозиционные. В непозиционных системах счисления значение конкретной цифры не меняется в зависимости от её положения в числе. Примером такой системы счисления может служить римская система записи числа. В позиционных системах счисления значимость цифры определяется её положением в числе. Для позиционных систем счисления любое число можно представить в виде полинома:

$$X_q = x_{n-1}q^{n-1} + x_{n-2}q^{n-2} + \dots + x_0q^0 + x_{-1}q^{-1} + \dots + x_{-m}q^{-m},$$

где x_i – разрядный коэффициент ($x_i = 0..q-1$);

q^i – весовой коэффициент.

Число q называется основанием системы счисления. Номер позиции цифры x_i (то есть число i) называют его разрядом. Разряды с положительными степенями q образуют целую часть числа, с отрицательными – дробную.

Цифры x_{n-1} и x_{-m} являются старшим и младшим разрядами числа соответственно. Число $n+m$ называют разрядностью числа. С помощью $n+m$ разрядов числа в позиционной системе счисления может быть записано следующее количество различных чисел:

$$N = q^{n+m}.$$

Принципиально возможно построение цифрового устройства, которое будет работать с числами любой системы счисления. Критерием выбора основания системы счисления является обеспечение высокой помехоустойчивости при минимальности аппаратных затрат. Оптимально отвечает этому требованию двоичная система счисления. Именно она положена в основу всех современных цифровых устройств.

24.2.1 Перевод чисел из одной системы счисления в другую

Двоичная система счисления является наилучшей для синтеза и анализа работы современных цифровых устройств, так как принципы их построения базируются на ней. Но она имеет некоторые недостатки с точки зрения человека. В первую очередь это громоздкость записи даже относительно небольших чисел и привычность для человека

десятичной системы счисления. Некоторым компромиссом является использование шестнадцатеричной системы счисления. Но и она не очень привычна человеку, хотя запись числа становится компактнее. Поэтому в практике работы с цифровыми устройствами используются все три системы счисления: двоичная, десятичная и шестнадцатеричная.

Рассмотрим ряд правил, позволяющих быстро переходить из одной системы счисления в другую. В таблице 24.1 приведены числа в различных системах счисления от 0 до 15. Знание этой таблицы позволяет существенно ускорить процесс перевода из одной системы счисления в другую.

Таблица 24.1 – Числа от 0 до 15 в различных системах счисления

Системы счисления		
Десятичная	Двоичная	Шестнадцатеричная
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

24.2.2 Перевод целых чисел из двоичной системы счисления в шестнадцатеричную

Для перевода целых чисел из двоичной системы счисления в шестнадцатеричную необходимо:

1) разбить двоичное число на тетрады (то есть на группы, состоящие из четырех цифр), начиная с крайнего правого разряда. В

случае, если для последней левой тетрады не хватает цифр, она дополняется слева требуемым количеством нулей;

2) вместо каждой тетрады записать соответствующую шестнадцатеричную цифру (см. таблицу 24.1).

Например, необходимо преобразовать в шестнадцатеричную систему счисления двоичное число 11100110001_2 .

Решение.

1. Разобьём на тетрады заданное число: 0111 0011 0001. Так как для левой тетрады не хватало одной цифры, к числу слева был дописан 0 (добавление к числу нуля слева в любой системе счисления не изменяет число).

2. Вместо каждой тетрады запишем соответствующую шестнадцатеричную цифру:

0111	0011	0001
7	3	1

Таким образом, $11100110001_2 = 731_{16}$.

24.2.3 Перевод целых чисел из шестнадцатеричной системы счисления в двоичную

Для перевода целых чисел из шестнадцатеричной системы счисления в двоичную необходимо:

1) вместо каждой шестнадцатеричной цифры записать ее эквивалент в двоичной системе счисления, причем шестнадцатеричная цифра всегда представляется в виде четырехразрядного двоичного числа;

2) в случае, если старшие (левые) разряды получившегося числа равны 0, отбросить их до ближайшего разряда, равного 1.

Например, необходимо преобразовать в двоичную систему счисления шестнадцатеричное число $73F8_{16}$.

Решение.

1. Запишем каждую шестнадцатеричную цифру в виде двоичной тетрады (см. таблицу 24.1):

7	3	F	8
0111	0011	1111	1000

2. Отбросим левые разряды, равные 0, и получим окончательный результат $73F8_{16} = 11100111111000_2$.

24.2.4 Перевод целых чисел из двоичной системы счисления в десятичную

Для перевода целых чисел из двоичной системы счисления в десятичную необходимо:

- 1) пронумеровать разряды двоичного числа. Младший разряд является нулевым. Нумерация ведется справа налево;
- 2) не рассматривать те разряды, которые равны 0;
- 3) десятичное число находить как сумму, слагаемые в которой степень числа 2. Число слагаемых равно числу разрядов в двоичном числе, которые равны 1. Показатель степени для каждого слагаемого равен соответствующему номеру разряда, в котором стоит 1.

Например, необходимо преобразовать в десятичную систему счисления двоичное число 11100110001_2 .

Решение.

1. Пронумеруем разряды двоичного числа.

Номер разряда:	10	9	8	7	6	5	4	3	2	1	0
Двоичное число:	1	1	1	0	0	1	1	0	0	0	1

2. Запишем сумму для получения десятичного числа:

$$2^{10} + 2^9 + 2^8 + 2^5 + 2^4 + 2^0.$$

3. Вычислим получившуюся сумму и получим окончательный результат $11100110001_2 = 1841_{10}$.

24.2.5 Перевод целых чисел из десятичной системы счисления в двоичную

Для перевода целых чисел из десятичной системы счисления в двоичную необходимо:

- 1) разделить десятичное число на 2 с остатком. Если число четное, остаток равен 0, если нечетное – равен 1;
- 2) получившееся частное вновь разделить на 2 с остатком;
- 3) продолжать делить получающиеся частные на 2 с остатком до тех пор, пока частное не станет равным 1;
- 4) сформировать получившееся двоичное число из остатков каждого деления. При этом последнее частное является старшим разрядом двоичного числа, а последний остаток следующим, более младшим разрядом, предпоследний остаток следующим более младшим разрядом и т.п. Остаток от первого деления числа на 2 будет самым младшим разрядом двоичного числа.

Например, необходимо преобразовать в двоичную систему счисления десятичное число 57_{10} .

Решение.

1. Разделим 57 на 2:

$$\begin{array}{r|l} 57 & 2 \\ 56 & 28 \\ \hline & 1 \end{array}$$

2. Разделим получившееся частное (28) на 2:

$$\begin{array}{r|l} 28 & 2 \\ 28 & 14 \\ \hline & 0 \end{array}$$

3. Разделим получившееся частное (14) на 2:

$$\begin{array}{r|l} 14 & 2 \\ 14 & 7 \\ \hline & 0 \end{array}$$

4. Разделим получившееся частное (7) на 2:

$$\begin{array}{r|l} 7 & 2 \\ 6 & 3 \\ \hline & 1 \end{array}$$

5. Разделим получившееся частное (3) на 2:

$$\begin{array}{r|l} 3 & 2 \\ 2 & 1 \\ \hline & 1 \end{array}$$

6. Последнее частное получилось равным 1. Поэтому начинаем формировать двоичное число. В самый старший разряд идёт последнее получившееся частное (таким образом, в старшем разряде всегда присутствует 1); в следующий, более младший разряд, остаток при последнем делении; в следующий, более младший разряд, остаток при четвертом делении; в следующий, более младший разряд, остаток при третьем делении; в следующий, более младший разряд, остаток при втором делении; в младший разряд остаток при первом делении. Таким образом, окончательный результат $57_{10} = 111001_2$.

Перевод целых чисел из шестнадцатеричной системы счисления в десятичную и обратно лучше вести с промежуточным преобразованием чисел в двоичную систему счисления.

24.3 Функции алгебры логики

Для описания алгоритмов работы цифровых устройств необходим соответствующий математический аппарат. Такой аппарат для решения задач формальной логики в середине прошлого века разработал ирландский математик Д. Буль. По его имени математический аппарат и получил название булевой алгебры, или алгебры логики.

Булева алгебра – это математическая система, оперирующая двумя понятиями: событие истинно и событие ложно. Естественно ассоциировать эти понятия с цифрами, используемыми в двоичной системе счисления. Далее будем их называть соответственно логическими единицей (лог. 1) и нулем (лог. 0).

Два элемента булевой алгебры, а именно событие истинно и событие ложно, называются ее константами. Будем понимать под ними значения соответственно лог. 1 и лог. 0.

Для того чтобы описать при помощи булевой алгебры поведение и структуру цифровой схемы, используют функции алгебры логики (ФАЛ), определяющие однозначное соответствие двоичных наборов аргументов логическому нулю или логической единице. Аргументы ФАЛ могут принимать только два возможных значения: лог. 1 или лог. 0.

Для задания функции алгебры логики используется 4 способа:

- 1) с помощью таблиц истинности;
- 2) с помощью аналитического выражения;
- 3) в виде последовательности десятичных чисел;
- 4) с помощью словесного выражения.

24.3.1 Функции алгебры логики одного аргумента

ФАЛ одного аргумента приведены в таблице 24.2

Таблица 24.2 – ФАЛ одного аргумента

Название	Таблица истинности	Аналитическое выражение	Обозначение на схемах	Словесное описание
1	2	3	4	5
Генератор нуля	X	f(x)	—	Значение функции не зависит от значения аргумента и равно лог. 0
	1	0		
	0	0		
		f(x)=0		

Продолжение таблицы 24.2

1	2		3	4	5
Генера- тор едини- цы	X	f(x)	f(x)=1	→"1"	Значение функ- ции не зависит от значения ар- гумента и равно лог. 1
	1	1			
	0	1			
Буфер	X	f(x)	f(x)=x	— — —	Значение функ- ции равно значе- нию аргумента
	1	1			
	0	0			
Инвер- сия	X	f(x)	f(x)= \bar{x}	— — —	Значение функ- ции противопопо- ложно значению аргумента
	1	0			
	0	1			


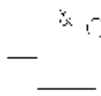
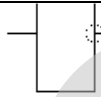

24.3.2 Функции алгебры логики двух аргументов

ФАЛ двух аргументов приведены в таблице 24.3

Таблица 24.3 – ФАЛ двух аргументов

Назва- ние	Таблица истинности			Аналитиче- ское выражение	Обозна- чение на схемах	Словесное описание
1	2			3	4	5
Основные						
Логиче- ское И	x ₁	x ₂	f(x)	f(x)= x ₁ x ₂	— & —	Значение функции равно лог. 1, если первый аргумент И второй аргумент равны лог. 1
	0	0	0			
	0	1	0			
	1	0	0			
	1	1	1			

Продолжение таблицы 24.3

1	2			3	4	5
Логическое ИЛИ	x_1	x_2	$f(x)$	$f(x) = x_1 + x_2$		Значение функции равно лог. 1, если первый аргумент ИЛИ второй аргумент равны лог. 1
	0	0	0			
	0	1	1			
	1	0	1			
	1	1	1			
Производные						
Логическое И-НЕ	x_1	x_2	$f(x)$	$f(x) = \overline{x_1 x_2}$		Значение функции НЕ равно лог. 1, если первый аргумент И второй аргумент равны лог. 1
	0	0	1			
	0	1	1			
	1	0	1			
	1	1	0			
Логическое ИЛИ-НЕ	x_1	x_2	$f(x)$	$f(x) = \overline{x_1 + x_2}$		Значение функции НЕ равно лог. 1, если первый аргумент ИЛИ второй аргумент равны лог. 1
	0	0	1			
	0	1	0			
	1	0	0			
	1	1	0			
ИСКЛЮЧАЮЩЕЕ ИЛИ, или сложение по модулю 2	x_1	x_2	$f(x)$	$f(x) = x_1 \oplus x_2$		Значение функции равно лог. 1, если аргументы не равны
	0	0	0			
	0	1	1			
	1	0	1			
	1	1	0			

24.3.3 Функции конstituенты

Функции конstituенты – такие функции, которые принимают значение лог. 0 или лог. 1 только при одном двоичном наборе аргументов.

Если при одном двоичном наборе функция равна лог. 0, то это функция конstituенты 0, иначе – конstituенты 1.

24.4 Принцип двойственности

Свойство взаимного преобразования операций логического сложения и умножения носит название *принципа двойственности*.

Важным практическим следствием принципа двойственности является тот факт, что при записи логических выражений можно обойтись только двумя типами операций, например, операциями И и НЕ или ИЛИ и НЕ.

Введем понятие функционально полной системы логических элементов. *Функционально полной системой* называется совокупность логических элементов, позволяющая реализовать логическую схему произвольной сложности. Таким образом, системы двух элементов И и НЕ, а также ИЛИ и НЕ наравне с системой из трех элементов (И, ИЛИ, НЕ) являются функционально полными. На практике широкое применение нашли логические элементы, совмещающие функции элементов указанных выше функционально полных систем. Это элементы И-НЕ и ИЛИ-НЕ, которые носят названия соответственно *штрих Шеффера* и *стрелка Пирса*. По определению каждый из этих элементов также образует функционально полную систему.

24.5 Теоремы булевой алгебры

Теоремы булевой алгебры отражают связи, существующие между операциями, выполняемыми над логическими переменными. Сформулируем наиболее важные из них. При этом, так как логические операции подчиняются принципу двойственности, соответственно попарно сгруппируем все однотипные теоремы по столбцам:

- | | |
|------------------------------|-------------------------|
| 1. $x + 0 = x$, | $x \cdot 1 = x$; |
| 2. $x + 1 = 1$, | $x \cdot 0 = 0$; |
| 3. $x + x = x$, | $x \cdot x = x$; |
| 4. $\bar{\bar{x}} + x = 1$, | $x \cdot \bar{x} = 0$; |

5. $\overline{\overline{x}} = x$;
6. $x_1 + x_0 = x_0 + x_1$, $x_1 \cdot x_0 = x_0 \cdot x_1$;
7. $(x_2 + x_1) + x_0 = x_2 + (x_1 + x_0)$, $(x_2 x_1) x_0 = x_2 (x_1 x_0)$;
8. $\overline{x_1 + x_0} = \overline{x_0} \cdot \overline{x_1}$, $\overline{x_1 \cdot x_0} = \overline{x_0} + \overline{x_1}$;
9. $x_1 \cdot x_0 + x_0 = x_0$, $(x_1 + x_0) x_0 = x_0$;
10. $x_2 x_1 + x_0 = (x_1 + x_0)(x_2 + x_0)$, $(x_2 + x_1) x_0 = x_2 x_0 + x_1 x_0$;
11. $\overline{x_0 x_1} + x_0 = x_1 + x_0$, $(\overline{x_0} + x_1) x_0 = x_1 x_0$;
12. $\overline{x_0 x_1} + x_0 x_1 = x_1$, $(\overline{x_0} + x_1)(x_0 + x_1) = x_1$.

Выражения 8 носят название теорем Де Моргана; выражения 9 – теорем поглощения, выражения 12 – теорем склеивания. Справедливость всех теорем может быть легко доказана непосредственной подстановкой.

Лекция № 25 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ИНТЕГРАЛЬНЫХ СХЕМ

25.1 Семейства цифровых микросхем

Все микросхемы принято группировать в семейства. Микросхемы, входящие в одно семейство, имеют одинаковые или близкие электрические параметры и единый принцип, положенный в основу их построения. Вместо термина «семейство» можно употреблять термин «серия».

Наиболее распространенными являются 3 семейства:

– ТТЛ (транзисторно-транзисторная логика). В основу семейства положены биполярные транзисторы. Данное семейство имеет множество подсемейств, которые отличаются различными модификациями, позволяющими увеличить быстродействие и уменьшить энергопотребление. ТТЛ-серия самая распространенная в мире;

– КМОП. Серия, основанная на усовершенствованной (комплемментарной) структуре построения микроэлектронных схем на трехслойной (МОП) основе металл-оксид-полупроводник. Так же, как и у ТТЛ, имеются подсемейства. КМОП-серия отличается низким энергопотреблением;

– ЭСЛ. Самая редкая серия, имеет самое высокое быстродействие. В основе лежат биполярные транзисторы, включенные по схеме дифференциального усилителя.

Кроме того, существует множество других семейств, но они по ряду причин не получили широкого распространения.

Из этих трех семейств рассмотрим подробно два наиболее распространенных – ТТЛ и КМОП.

Серии ТТЛ. Базовой серией микросхем ТТЛ является серия 155. С нее началось семейство ТТЛ-микросхем. В ней насчитывается более 100 наименований микросхем. Развитием этой серии в сторону уменьшения потребляемой мощности явилась серия 555, построенная с применением транзисторов Шотки. Для получения более высокого быстродействия была разработана серия 531. И, наконец, наиболее совершенная разработка – серии 1533 и 1531, которые имеют высокую скорость работы при низком энергопотреблении. Данные серии являются самыми распространенными из серий ТТЛ, но не единственными. Все микросхемы одного логического типа вне зависимости от принадлежности к разным сериям ТТЛ полностью совпадают по выполняемой функции и распределению выводов в корпусе.

Серии КМОП. Серии КМОП не имеют существенных отличий друг от друга – это серии 176, 561, 564 и 1561. Особенностью КМОП микросхем является очень большой разброс и нестабильность напряжения переключения: область входных напряжений, в которой может находиться порог переключения КМОП микросхем, составляет примерно треть напряжения питания (тогда как для ТТЛ микросхем эта область на один-два порядка меньше). Второй особенностью микросхем КМОП является ничтожное потребление тока в статическом режиме $0,1 \dots 100$ мкА. При работе на максимальной рабочей частоте потребляемая мощность увеличивается и приближается к потребляемой мощности наименее мощных микросхем ТТЛ.

Все микросхемы одного логического типа вне зависимости от принадлежности к разным сериям КМОП полностью совпадают по выполняемой функции и распределению выводов в корпусе.

25.2 Основные параметры семейств

Все параметры делятся на 2 большие группы:

- 1) статические параметры, которые измеряются при неизменяемых входных и выходных сигналах;
- 2) динамические параметры, которые характеризуют временные и частотные характеристики.

Статические параметры микросхем ТТЛ и КМОП приведены в таблице 25.1.

Таблица 25.1 – Статические параметры микросхем серий ТТЛ и КМОП

Наименование параметра	Серии ТТЛ					Серии КМОП
	155	555	531	1533	1531	
Напряжение питания $U_{пит}$, В	$5 \pm 5\%$	$5 \pm 5\%$	$5 \pm 5\%$	$5 \pm 10\%$	$5 \pm 10\%$	3-15
Средняя потребляемая мощность $P_{ср}$, мВт	10	2	19	1,2	4	$\rightarrow 0$
Входное напряжение лог. 1 $U_{вх}^1$, В	≥ 2	≥ 2	≥ 2	≥ 2	≥ 2	$\geq \frac{2}{3}U_{пит}$
Входное напряжение лог. 0 $U_{вх}^0$, В	$\leq 0,8$	$\leq 0,8$	$\leq 0,8$	$\leq 0,8$	$\leq 0,8$	$\leq \frac{1}{3}U_{пит}$
Выходное напряжение лог. 1 $U_{вых}^1$, В	$\geq 2,4$	$\geq 2,7$	$\geq 2,7$	$\geq 2,7$	$\geq 2,7$	$U_{пит}$
Выходное напряжение лог. 0 $U_{вых}^0$, В	$\leq 0,4$	$\leq 0,5$	$\leq 0,5$	$\leq 0,5$	$\leq 0,5$	0
Ток входа при лог. 1 $I_{вх}^1$, мА	0,04	0,02	0,05	0,01	0,01	$\rightarrow 0$
Ток входа при лог. 0 $I_{вх}^0$, мА	1,6	0,4	2,0	0,2	0,2	$\rightarrow 0$
Ток выхода при лог. 1 $I_{вых}^1$, мА	0,4	0,4	1	0,4	0,4	$\rightarrow 0$
Ток выхода при лог. 0 $I_{вых}^0$, мА	16	8	20	8	8	$\rightarrow 0$
Нагрузочная способность, шт.	10	20	10	40	40	10

Наиболее распространены следующие динамические параметры:

1. Задержка переключения из лог. 1 в лог. 0. Изменение выходного состояния любого цифрового элемента происходит за конечное

время. Задержка переключения из лог. 1 в лог. 0 – это время, за которое сигнал изменится от 90 % до 10 % напряжения лог. 1. Смысл этого параметра поясняется рисунком 25.1.

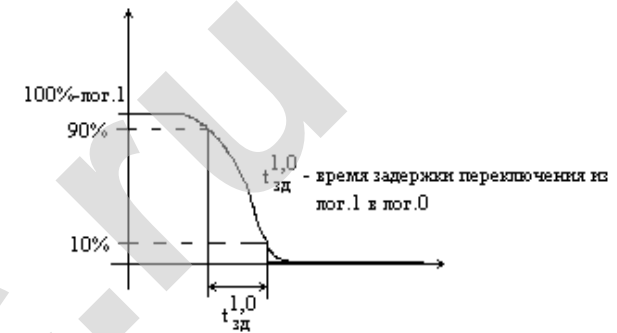


Рисунок 25.1 – Задержка переключения из лог. 1 в лог. 0

2. Задержка переключения из лог. 0 в лог. 1. Задержка переключения из лог. 0 в лог. 1 – это время, за которое сигнал изменится от 10 % до 90 % напряжения лог. 1. Смысл этого параметра поясняется рисунком 25.2.

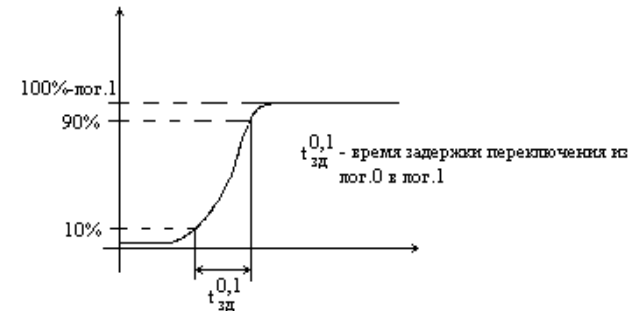


Рисунок 25.2 – Задержка переключения из лог. 0 в лог. 1

3. Задержка распространения при переключении из лог. 1 в лог. 0. Изменение выходных сигналов всегда происходит под воздействием входных сигналов. Но эти изменения происходят с определённой задержкой. Данный параметр позволяет оценить эту задержку. Задержка распространения при переключении из лог. 1 в лог. 0 – это время, измеренное от момента переключения входного сигнала до момента переключения выходного из лог. 1 в лог. 0 сигнала, вызванного входным сигналом. Для определенности время измеряется между точками,

равными 50 % от напряжения лог. 1 для входного и выходного сигналов (рисунок 25.3).

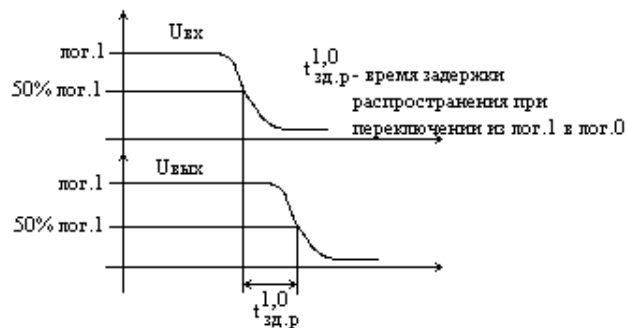


Рисунок 25.3 – Задержка распространения при переключении из лог. 1 в лог. 0

4. Задержка распространения при переключении из лог. 0 в лог. 1. Определяется подобно времени распространения при переключении из лог. 1 в лог. 0 (рисунок 25.4). Время задержки распространения при переключении из лог. 1 в лог. 0 меньше, чем при переключении из лог. 0 в лог. 1.

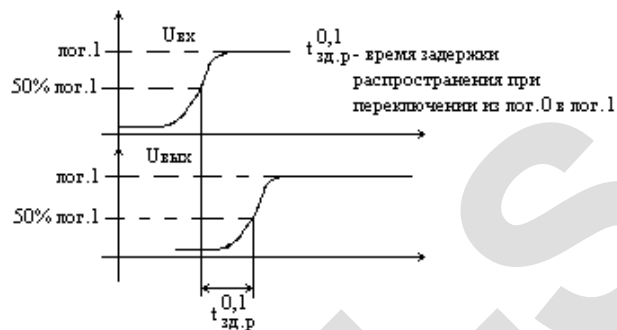


Рисунок 25.4 – Задержка распространения при переключении из лог. 0 в лог. 1

5. Среднее время задержки распространения. Данный параметр является основным. Находится как среднее арифметическое от задержки распространения при переключении из лог. 1 в лог. 0 и задержки распространения при переключении из лог. 0 в лог. 1. Типичные значения среднего времени задержки распространения для различных серий цифровых микросхем приведены в таблице 25.2.

Таблица 25.2 – Среднее время задержки распространения

Наименование параметра	Серии ТТЛ					Серии КМОП
	155	555	531	1533	1531	
Среднее время распространения $t_{з.ср}$, нс	20	18	5	14	3	50

25.3 Типы выводов в цифровых компонентах

В зависимости от типа цифровых сигналов, на которые реагируют входы микросхемы (см. подраздел 24.1) и сигналов, действующих на выходах, у микросхем различают следующие выводы (рисунок 25.5).



Рисунок 25.5 – Обозначение входов и выходов интегральной схемы

Для обозначения полярности сигнала на схемах используется простое правило: если сигнал отрицательный, то над названием сигнала ставится черта, например, \overline{WR} или \overline{OE} . Если таких знаков нет, то сигнал считается положительным. Для названий сигналов обычно используются латинские буквы, представляющие собой сокращения английских слов, например, WR — сигнал записи (от write — писать).

Инверсия сигнала обозначается кружочком на месте входа или выхода. Существуют инверсные входы и инверсные выходы. Понятие инверсного входа аналогично понятию отрицательного сигнала.

Если какая-то микросхема выполняет функцию по фронту входного сигнала, то на месте входа ставится косая черта (под углом 45°), причем наклон вправо или влево определяется тем, положительный

или отрицательный фронт используется в данном случае (см. рисунок 25.5).

В зависимости от вида построения выходного каскада, в цифровых элементах серии ТТЛ встречаются следующие типы выходов:

– открытый коллектор. Данный выход есть неподключенный коллектор выходного транзистора, поэтому к выходу с открытым коллектором обязательно необходимо подключить внешний нагрузочный резистор. Для того чтобы обозначить выход с открытым коллектором, (ОК) возле него рисуется специальный значок (см. рисунок 25.5);

– трехстабильный выход. Данный выход может переключаться в высокоимпенденсное состояние, которое характеризуется полным отключением выхода от внешних цепей. Для того чтобы обозначить трехстабильный выход (иногда его называют выход с Z-состоянием), возле него рисуется специальный значок (см. рисунок 25.5).

Стандартный выход (2С), имеющий два логических состояния (лог. 1 и лог. 0) никак не помечается.

25.4 Система кодированного обозначения цифровых микросхем

В отечественной микроэлектронной промышленности существует следующая система обозначений (рисунок 25.6):



Рисунок 25.6 – Обозначения отечественных микросхем

1. Буква К обозначает микросхемы широкого (коммерческого) применения, для микросхем военного назначения буква отсутствует.

2. Тип корпуса микросхемы (один символ) может отсутствовать. Например, Р – керамический, М – металлокерамический, Б – бескорпусная микросхема. Если буква отсутствует, то корпус пластмассовый. Материал корпуса определяет температурный диапазон работы микросхемы. Если отсутствуют первая и вторая буквы, то корпус планарный (Flat) металлокерамический (рисунок 25.7, б), в противном случае корпус типа DIP (рисунок 25.7, а).

3. Номер серии микросхемы (от трех до четырех цифр).

Если первая цифра:

1, 5, 7 – полупроводниковые

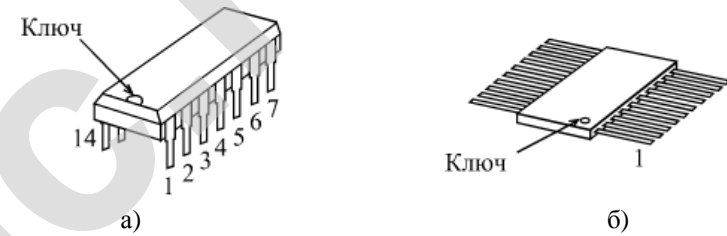
(7 – полупроводниковые бескорпусные)

2, 4, 6, 8 – гибридные, 3 – прочие.

4. Тип логического устройства в данной микросхеме, то есть тип выполняемой функции данной микросхемой (две буквы).

5. Разновидность данного типа микросхемы (от одной до трех цифр).

Примеры обозначений микросхем: КР1533ЛА3, К155ИЕ7, КМ561ИР16.



а – корпус типа DIP; б – планарный корпус

Рисунок 25.7 – Примеры корпусов микросхем

Корпус типа DIP (Dual In Line Package) – это корпус с двухрядным вертикальным расположением выводов. Расстояние между выводами составляет: 0,1 дюйма (2,54 мм) – у импортных микросхем и 2,5 мм – у отечественных. Расстояние между рядами выводов зависит от количества выводов.

Планарный корпус – это корпус с двухрядным плоскостным расположением выводов, например, FP (Flat-Package, Plastic) – пластмассовый плоский корпус, FPC (Flat-Package, Ceramic) – керамический плоский корпус. Общее название для таких корпусов – Flat. Расстояние между выводами составляет 0,05 дюйма (1,27 мм) или 0,025 дюйма (0,628 мм).

Номера выводов всех корпусов отсчитываются начиная с вывода, помеченного ключом, по направлению против часовой стрелки (если смотреть на микросхему сверху). Ключом может служить вырез на одной из сторон микросхемы, точка около первого вывода или утолщение первого вывода (см. рисунок 25.6). Первый вывод может находиться в левом нижнем или в правом верхнем углу (в зависимости от того, как повернут корпус). Микросхемы обычно имеют стандартное число выводов из ряда: 4, 8, 14, 16, 20, 24, 28, ...

Лекция № 26 КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА (ЧАСТЬ 1)

26.1 Классификация цифровых устройств

Цифровые устройства могут быть классифицированы по различным признакам. Так, в общем случае на входе цифрового устройства действуют n , а на выходе – m переменных, то есть присутствуют соответственно n - и m -разрядные коды. Поэтому цифровые устройства могут быть классифицированы по способу ввода-вывода переменных (информации). С этой точки зрения они подразделяются на последовательные, параллельные и последовательно-параллельные (смешанные).

Последовательным называется устройство, в котором входные переменные подаются на вход, а выходные переменные снимаются с выхода не одновременно, а последовательно, разряд за разрядом.

Параллельным называется устройство, в котором все разряды входных переменных подаются на вход и все разряды выходных переменных снимаются с выхода одновременно.

В *последовательно-параллельных* устройствах входные и выходные переменные представлены в различных формах. Либо на вход переменные подаются последовательно символ за символом, а с выхода они снимаются одновременно, либо наоборот.

По принципу действия все цифровые устройства делятся на два класса: комбинационные и последовательностные.

Комбинационными устройствами, или автоматами без памяти, называют цифровые устройства, выходные сигналы которых однозначно определяются только действующей в настоящий момент на входе комбинацией переменных и не зависят от значений переменных, действовавших на входе ранее.

Последовательностными устройствами, или автоматами с памятью, называют цифровые устройства, выходные сигналы которых определяются не только действующей в настоящий момент на входе комбинацией переменных, но и всей последовательностью входных переменных, действовавших в предыдущие моменты времени. Этот тип устройств часто называют цифровыми автоматами.

26.2 КЦУ, реализующие элементарные логические функции

Как правило, в таких микросхемах содержится несколько однотипных элементов. Соответствие между логическими функциями, выполняемыми микросхемами, и буквами, которыми они кодируются, приведено в таблице 26.1.

Таблица 26.1 – Обозначения логических элементов

Наименование функции	Буквы кодировки
Буфер и инвертор	АП, ЛН
Логическое И	ЛИ
Логическое И-НЕ	ЛА
Логическое ИЛИ-НЕ	ЛЕ
Логическое ИЛИ	ЛЛ
Логическое ИСКЛЮЧАЮЩЕЕ ИЛИ	ЛП

Самый простой логический элемент – это инвертор (логический элемент НЕ, «inverter»), уже упоминавшийся в таблице 24.2. Инвертор выполняет простейшую логическую функцию – инвертирование, то есть изменение уровня входного сигнала на противоположный. Он имеет всего один вход и один выход. Выход инвертора может быть типа 2С или типа ОК. В таблице 24.2 показаны условные обозначения инвертора, принятые в России, и его таблица истинности.

Две основные области применения инверторов – это изменение полярности сигнала и изменение полярности фронта сигнала (рисунок 26.1). То есть из положительного входного сигнала инвертор делает отрицательный выходной сигнал, и наоборот, а из положительного фронта входного сигнала – отрицательный фронт выходного сигнала, и наоборот. Еще одно важное применение инвертора – буферирование сигнала (с инверсией), то есть увеличение нагрузочной способности сигнала. Это бывает нужно в том случае, когда какой-то сигнал надо подать на много входов, а выходной ток источника сигнала недостаточен.



Рисунок 26.1 – Инверсия полярности сигнала (а) и инверсия полярности фронта сигнала (б)

Следующим логическим элементом является буфер. Повторители и буферы отличаются от инверторов прежде всего тем, что они не инвертируют сигнал (правда, встречаются и инвертирующие буферы).

Зачем же тогда они нужны? Во-первых, они выполняют функцию увеличения нагрузочной способности сигнала, то есть позволяют подавать один сигнал на много входов. Для этого имеются буферы с повышенным выходным током и выходом 2С. Во-вторых, большинство буферов имеют выход ОК или Z, что позволяет использовать их для получения двунаправленных линий или для мультиплексирования сигналов. Поясним подробнее эти термины.

Под двунаправленными линиями понимаются такие линии (провода), сигналы по которым могут распространяться в двух противоположных направлениях. В отличие от однонаправленных линий, которые идут от одного выхода к одному или нескольким входам, к двунаправленной линии могут одновременно подключаться несколько выходов и несколько входов (рисунок 26.2). Понятно, что двунаправленные линии могут организовываться только на основе выходов ОК или Z. Поэтому почти все буферы имеют именно такие выходы.

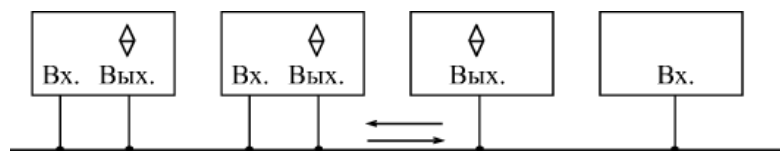


Рисунок 26.2 – Двунаправленная линия

Мультиплексированием называется передача разных сигналов по одним и тем же линиям в разные моменты времени. Основная цель мультиплексирования состоит в сокращении общего количества соединительных линий. Двунаправленная линия обязательно является мультиплексированной, а мультиплексированная линия может быть как однонаправленной, так и двунаправленной. Но в любом случае к ней присоединяются несколько выходов, только один из которых в каждый момент времени находится в активном состоянии. Остальные выходы в это время отключаются (переводятся в пассивное состояние). В отличие от двунаправленной линии, к мультиплексированной линии, построенной на основе буферов, может быть подключен всего лишь один вход, но обязательно несколько выходов с ОК или Z (рисунок 26.3).

Мультиплексированные линии могут строиться не только на буферах, но и на микросхемах мультиплексоров, которые будут рассмотрены в следующей лекции.

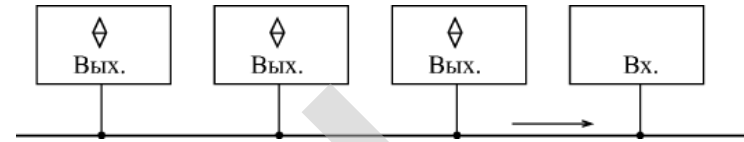


Рисунок 26.3 – Однонаправленная мультиплексированная линия на основе буферов

Точно так же, как и в случае инверторов с ОК, выходы нескольких буферов с ОК могут объединяться для получения функции «Монтажное И», то есть на выходе будет сигнал логической единицы только при единицах на всех входах (рисунок 26.4). То есть реализуется многоходовой элемент И.

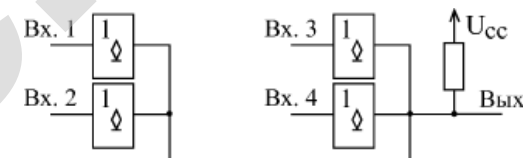


Рисунок 26.4 – Объединение выходов буферов с ОК

Буферы с выходом Z представлены гораздо большим количеством микросхем. Эти буферы обязательно имеют управляющий вход EZ (или OE), переводящий выходы в третье, пассивное состояние. Как правило, третьему состоянию соответствует единица на этом входе, а активному состоянию выходов – нуль, то есть сигнал EZ имеет отрицательную полярность.

Буферы бывают однонаправленные или двунаправленные, с инверсией или без инверсии сигналов, с управлением всеми выходами одновременно или с управлением группами выходов. Всем этим и определяется большое разнообразие микросхем буферов.

Таблица истинности (таблица 26.2) буфера с Z-состоянием на выходе несколько отличается от стандартной таблицы истинности буфера (см. таблицу 24.2).

Таблица 26.2 – Таблица истинности буфера без инверсии

Вход	\overline{EZ}	Выход
0	0	0
1	0	1
0	1	Z
1	1	Z

Таким образом, при нулевом сигнале на входе управления выход повторяет вход, а при единичном – выход отключен. УГО буфера с Z-состоянием показано на рисунке 26.5.

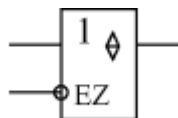


Рисунок 26.5 – УГО буфера с управляющим входом и Z-состоянием на выходе

Следующий шаг на пути усложнения компонентов цифровой электроники – это элементы, выполняющие простейшие логические функции. Объединяет все эти элементы то, что у них есть несколько равноправных входов (от 2 до 12) и один выход, сигнал на котором определяется комбинацией входных сигналов.

Самые распространенные логические функции – это И (в отечественной системе обозначений – ЛИ), И-НЕ (обозначается ЛА), ИЛИ (обозначается ЛЛ) и ИЛИ-НЕ (обозначается ЛЕ). Присутствие слова НЕ в названии элемента обозначает только одно – встроенную инверсию сигнала.

Название самих функций И и ИЛИ говорит о том, при каком условии на входах появляется сигнал на выходе. При этом важно помнить, что речь в данном случае идет о положительной логике, о положительных, единичных сигналах на входах и на выходе.

Элемент И формирует на выходе единицу тогда и только тогда, если на всех его входах (и на первом, и на втором, и на третьем и т.д.) присутствуют единицы. Если речь идет об элементе И-НЕ, то на выходе формируется нуль, когда на всех входах – единицы (см. таблицу 24.2). Цифра перед названием функции говорит о количестве входов элемента. Например, 8И-НЕ – это восьмивходовой элемент И с инверсией на выходе.

Любой из логических элементов рассматриваемой группы можно рассматривать как управляемый пропускатель входного сигнала (с инверсией или без нее).

Например, в случае элемента 2И-НЕ один из входов можно считать информационным, а другой – управляющим. В этом случае при единице на управляющем входе выходной сигнал будет равен проинвертированному входному сигналу, а при нуле на управляющем входе выходной сигнал будет постоянно равен единице, то есть прохождение входного сигнала будет запрещено. Элементы 2И-НЕ с выходом ОК

часто используют именно в качестве управляемых буферов для работы на мультиплексированную или двунаправленную линию.

Точно так же в качестве элемента разрешения/запрещения могут применяться элементы И, ИЛИ, ИЛИ-НЕ (рисунок 26.6). Разница между элементами состоит только в полярности управляющего сигнала, в инверсии (или ее отсутствии) входного сигнала, а также в уровне выходного сигнала (ноль или единица) при запрещении прохождения входного сигнала.

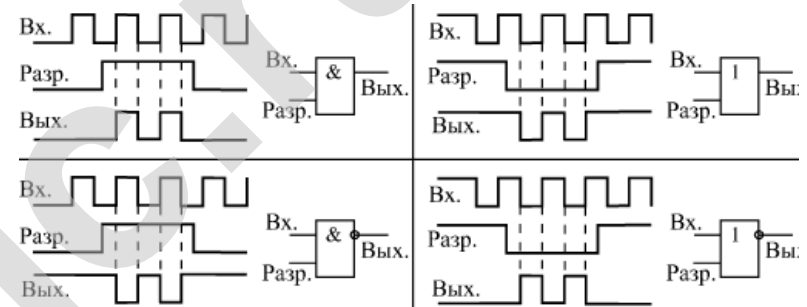


Рисунок 26.6 – Разрешение/запрещение прохождения сигналов на элементах И, И-НЕ, ИЛИ, ИЛИ-НЕ

При использовании элементов разрешения/запрещения могут возникнуть дополнительные проблемы в случае, когда сигнал с выхода элемента идет на вход, реагирующий на фронт сигнала. В момент перехода из состояния разрешения в состояние запрещения и из состояния запрещения в состояние разрешения в выходном сигнале может появиться дополнительный фронт, никак не связанный с входным сигналом (рисунок 26.7). Чтобы этого не произошло, надо придерживаться следующего простого правила: если вход реагирует на положительный фронт, то в состоянии запрещения на выходе элемента должен быть нуль, и наоборот.

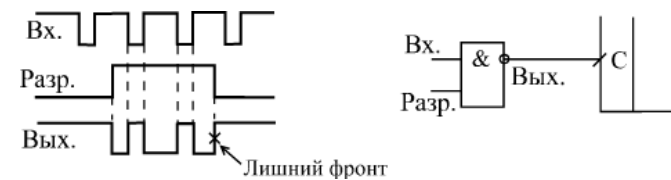


Рисунок 26.7 – Появление лишнего фронта при запрещении входного сигнала

Элементы И, И-НЕ, ИЛИ, ИЛИ-НЕ могут использоваться также в качестве инверторов или повторителей (рисунок 26.8), для чего необходимо объединить входы или на неиспользуемые входы подать сигнал нужного уровня. Второе предпочтительнее, так как объединение входов не только увеличивает входной ток, но и несколько снижает быстродействие элементов.

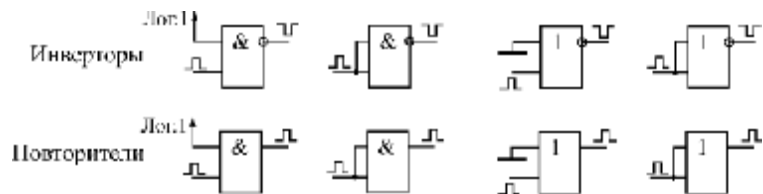


Рисунок 26.8 – Инверторы и повторители

Элементы Исключающее ИЛИ также можно было бы отнести к простейшим элементам, но функция, выполняемая ими, несколько сложнее, чем в случае элемента И или элемента ИЛИ. Все входы элементов Исключающее ИЛИ равноправны, однако ни один из входов не может заблокировать другие входы, установив выходной сигнал в уровень единицы или нуля.

Как уже упоминалось под функцией Исключающее ИЛИ понимается следующее: единица на выходе появляется тогда, когда только на одном входе присутствует единица. Если единиц на входах две или больше или если на всех входах нули, то на выходе будет нуль. Таблица истинности двухвходового элемента Исключающее ИЛИ приведена в таблице 24.2. Надпись в отечественном обозначении элемента Исключающее ИЛИ «=1» как раз и обозначает, что выделяется ситуация, когда на входах одна и только одна единица.

С точки зрения математики, элемент Исключающее ИЛИ выполняет операцию так называемого суммирования по модулю 2. Поэтому эти элементы также называются сумматорами по модулю два.

Основное применение элементов Исключающее ИЛИ, прямо следующее из таблицы истинности, состоит в сравнении двух входных сигналов. В случае, когда на входы приходят две единицы или два нуля (сигналы совпадают), на выходе формируется нуль (см. таблицу 24.2). Обычно при таком применении на один вход элемента подается постоянный уровень, с которым сравнивается изменяющийся во времени сигнал, приходящий на другой вход.

В качестве сумматора по модулю 2 элемент Исключающее ИЛИ используется также в параллельных и последовательных сумматорах

по модулю 2, служащих для вычисления циклических контрольных сумм.

Важное применение элементов ИСКЛЮЧАЮЩЕЕ ИЛИ – это управляемый инвертор (рисунок 26.9). В этом случае один из входов элемента используется в качестве управляющего, а на другой вход элемента поступает информационный сигнал. Если на управляющем входе единица, то входной сигнал инвертируется, если же нуль – не инвертируется. Чаще всего управляющий сигнал задается постоянным уровнем, определяя режим работы элемента, а информационный сигнал является импульсным. То есть элемент ИСКЛЮЧАЮЩЕЕ ИЛИ может изменять полярность входного сигнала или фронта, а может и не изменять в зависимости от управляющего сигнала.

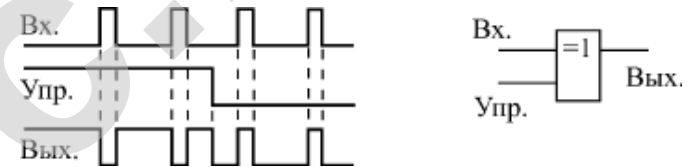


Рисунок 26.9 – Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ как управляемый инвертор

Еще одно важнейшее применение элемента ИСКЛЮЧАЮЩЕЕ ИЛИ – формирование коротких импульсов по любому фронту входного сигнала (рисунок 26.10).

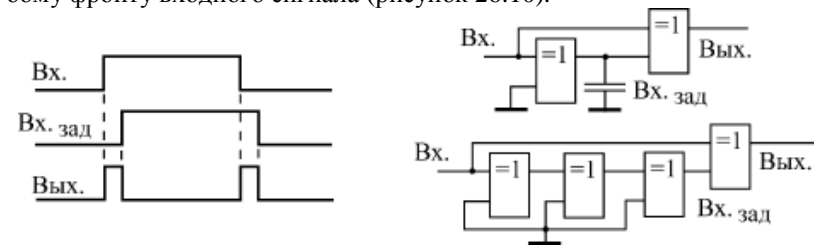


Рисунок 26.10 – Выделение фронтов входного сигнала с помощью элемента ИСКЛЮЧАЮЩЕЕ ИЛИ

В данном случае не важно, положительный фронт входного сигнала или отрицательный, на выходе все равно формируется положительный импульс. Входной сигнал задерживается с помощью конденсатора или цепочки элементов, а затем исходный сигнал и его задержанная копия поступают на входы элемента ИСКЛЮЧАЮЩЕЕ ИЛИ.

В обеих схемах в качестве элементов задержки используются также двухходовые элементы ИСКЛЮЧАЮЩЕЕ ИЛИ в неинвертирующем включении (на неиспользуемый вход подается нуль). В результате такого преобразования можно говорить об удвоении частоты входного сигнала, так как выходные импульсы следуют вдвое чаще, чем входные.

Данную особенность элементов ИСКЛЮЧАЮЩЕЕ ИЛИ надо учитывать в том случае, когда на оба входа элемента поступают изменяющиеся одновременно сигналы. При этом на выходе элемента возможно появление коротких паразитных импульсов по любому из фронтов входных сигналов.

26.3 Дешифраторы

Дешифраторы – это КЦУ с m входами и n выходами, причем каждому двоичному набору на входах соответствует активный уровень только на одном из выходов. Активный уровень на данном выходе соответствует одному двоичному набору на входах. Если всем возможным двоичным наборам на входах соответствует отдельный выход, то есть $n = 2^m$, то такой дешифратор называют **полным**. Если выходов меньше чем 2^m , то такой дешифратор называют неполным. При этом некоторым входным комбинациям нет соответствующего выхода. УГО типичного дешифратора приведено на рисунке 26.11. Описание работы дешифратора в таблице 26.3.

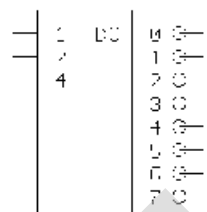


Рисунок 26.11 – УГО дешифратора

Для удобства работы с дешифратором была принята такая нумерация выходов, чтобы активный уровень появлялся на том выходе, номер которого задается двоичным числом на входах.

В стандартные серии входят дешифраторы на 4 выхода (2 разряда входного кода), на 8 выходов (3 разряда входного кода) и на 16 выходов (4 разряда входного кода). Они обозначаются соответственно как

2–4, 3–8, 4–16. Различаются микросхемы дешифраторов входами управления (разрешения/запрета выходных сигналов), а также типом выхода: 2С или ОК. Выходные сигналы всех дешифраторов имеют отрицательную полярность. Входы, на которые поступает входной код, называют часто адресными входами. Обозначают эти входы 1, 2, 4, 8, где число соответствует весу двоичного кода (1 – младший разряд, 2 – следующий разряд и т.д.), или А0, А1, А2, А5.

Таблица 26.3 – Таблица истинности дешифратора

Входы			Выходы							
4	2	1	0	1	2	3	4	5	6	7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Схемотехнически дешифратор представляет собой совокупность конъюнкторов (или элементов И-НЕ в дешифраторах с инверсными выходами), не связанных между собой. Каждый конъюнктор (или элемент И-НЕ) вырабатывает одну из выходных функций. Дешифратор относится к числу быстродействующих узлов. Корпуса интегральных схем с большим числом выводов изготавливать сложно, и они дорогие. С этой точки зрения дешифраторы относятся к крайне неудачным схемам, так как у них при простой внутренней структуре и малом числе схемных элементов много внешних выводов. Для размещения в обычном недорогом корпусе годится только дешифратор с 4 информационными входами. Более «размерных» дешифраторов в сериях интегральных схем нет. Кроме того, в одном корпусе может быть несколько дешифраторов.

На практике дешифратор можно реализовать на элементах И, и в этом случае мы получим наиболее простой по структуре дешифратор, который можно реализовать также на элементах И-НЕ. Достоинство такого дешифратора, называемого линейным (рисунок 26.12), – высокое быстродействие.

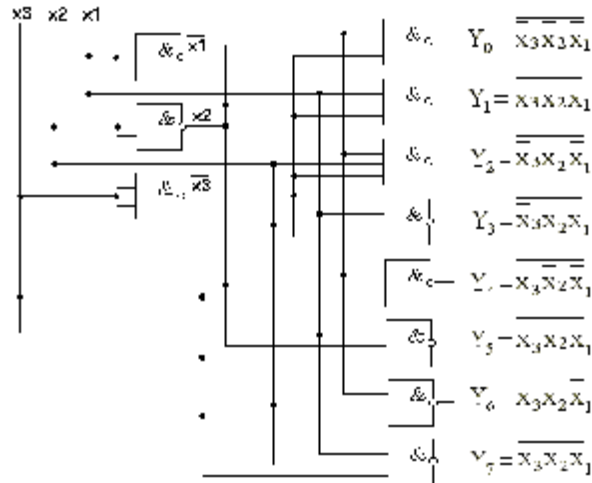


Рисунок 26.12 – Внутренняя структурная схема дешифратора

Исторически сложилась группа дешифраторов, работа которых не совпадает со строгим определением работы дешифраторов. Это дешифраторы для семисегментных индикаторов. Они предназначены для управления работой семисегментных индикаторов. Для них определение звучит так: это КЦУ с 4 входами и 7 выходами. Причем каждому двоичному набору на входах соответствует уникальная комбинация активных уровней на выходах. Текущая комбинация активных уровней на выходах соответствует одному двоичному набору на входах и соответствует цифре, равной этому двоичному набору. Дешифратор для семисегментных индикаторов **всегда неполный**.

УГО типичного дешифратора для семисегментных индикаторов приведено на рисунке 26.13. Описание работы дешифратора для семисегментных индикаторов – в таблице 26.4.

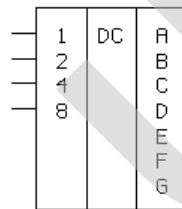


Рисунок 26.13 – УГО семисегментного дешифратора

Таблица 26.4 – Таблица истинности семисегментного дешифратора

Входы				Выходы						
8	4	2	1	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0

Микросхемы, выполняющие функции дешифратора, кодируются буквами ИД.

26.4 Шифраторы

Шифратор – это устройство, которое имеет m входов и n выходов и преобразующее активный сигнал на одном из входов в двоичное число на выходах, соответствующее номеру входного сигнала. Различают приоритетные и непероритетные шифраторы.

Непероритетный шифратор – такой, у которого при появлении активного сигнала более чем на одном входе выходная информация становится недостоверной.

У приоритетного шифратора каждому входу присвоен свой уровень приоритета. Если активный сигнал появится на нескольких входах одновременно, то на выходах появится номер того входа, приоритет которого выше всех остальных. УГО типичного шифратора приведено на рисунке 26.14.

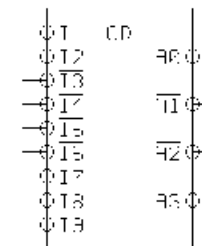


Рисунок 26.14 – УГО шифратора

Для понимания принципов построения схемы шифратора необходимо рассмотреть закономерности формирования двоичных переменных на его выходах согласно таблице истинности (таблица 26.5)

Таблица 26.5 – Таблица истинности шифратора

Входы									Выходы			
$\overline{I_9}$	$\overline{I_8}$	$\overline{I_7}$	$\overline{I_6}$	$\overline{I_5}$	$\overline{I_4}$	$\overline{I_3}$	$\overline{I_2}$	$\overline{I_1}$	$\overline{A_3}$	$\overline{A_2}$	$\overline{A_1}$	$\overline{A_0}$
0	X*	X	X	X	X	X	X	X	1	0	0	1
1	0	X	X	X	X	X	X	X	1	0	0	0
1	1	0	X	X	X	X	X	X	0	1	1	1
1	1	1	0	X	X	X	X	X	0	1	1	0
1	1	1	1	0	X	X	X	X	0	1	0	1
1	1	1	1	1	0	X	X	X	0	1	0	0
1	1	1	1	1	1	0	X	X	0	0	1	1
1	1	1	1	1	1	1	0	X	0	0	1	0
1	1	1	1	1	1	1	1	0	0	0	0	1

* – Знак X означает, что состояние этого входа безразлично

Выход $\overline{A_0}$, соответствующий младшему разряду выходного кода, имеющему вес 1, должен принимать значение 0 при возбуждении любого из нечетных входов. Следовательно, это должен быть выход логического элемента ИЛИ-НЕ, к $m/2$ (m – разрядность сумматора) входам которого подключены все входы с нечетными номерами, то есть такими, двоичное представление номера которых в младшем разряде имеет 1. Следующий выход $\overline{A_1}$, имеющий вес 2, должен возбуждаться при подаче сигнала на входы с номерами 2, 3, 6, 7, то есть с номерами, двоичное представление которых во втором по старшинству разряде имеет единицу. Следовательно, $\overline{A_1}$ также формируется элементом ИЛИ-НЕ, имеющим $m/2$ входов. Таким образом, в общем случае Y_k формируется элементом ИЛИ с числом входов $m/2$, на который подаются те из входных переменных, двоичное представление номера которых в k -м разряде имеют единицу.

Функциональная схема шифратора, полученная на основе приведенных выше выкладок будет иметь вид, показанный на рисунке 26.15.

Некоторые микросхемы шифраторов, помимо информационных входов и разрядов выходного кода (1, 2, 4), имеют инверсный вход разрешения – EI, выход признака прихода любого входного сигнала –

GS, а также выход переноса – EO, позволяющий объединять несколько шифраторов для увеличения разрядности, рисунок 26.16.

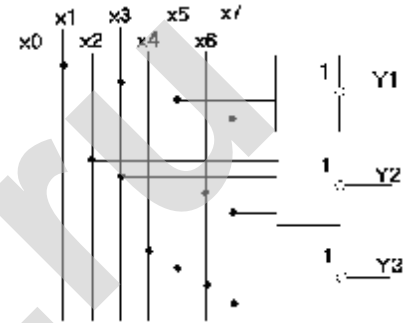


Рисунок 26.15 – Функциональная схема шифратора

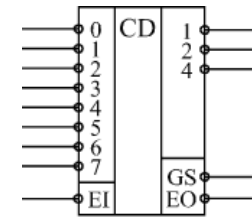


Рисунок 26.16 – Микросхема шифратора, имеющая дополнительные выводы для увеличения разрядности

На рисунке 26.17 показан пример построения шифратора 16–4 на двух микросхемах шифраторов 8–3 и трех элементах 2И-НЕ (ЛАЗ).

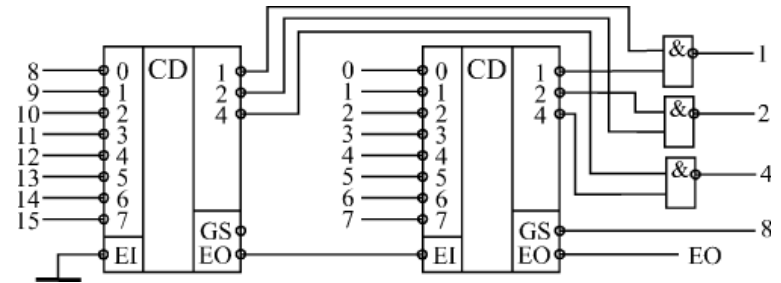


Рисунок 26.17 – Схема построения шифратора 16–4 на двух шифраторах 8–3

Микросхемы, выполняющие функции шифратора, кодируются буквами ИВ.

Лекция № 27 **КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА (ЧАСТЬ 2)**

27.1 Мультиплексоры

Мультиплексор – это КЦУ, которое выполняет роль электронного коммутатора.

Мультиплексоры предназначены для поочередной передачи на один выход одного из нескольких входных сигналов, то есть для их мультиплексирования. Количество мультиплексируемых входов называется количеством каналов мультиплексора, а количество выходов называется числом разрядов мультиплексора. Например, 2-канальный 4-разрядный мультиплексор имеет 4 выхода, на каждый из которых может передаваться один из двух входных сигналов. А 4-канальный 2-разрядный мультиплексор имеет 2 выхода, на каждый из которых может передаваться один из четырех входных сигналов. Число каналов мультиплексоров, входящих в стандартные серии, составляет от 2 до 16, а число разрядов – от 1 до 4, причем чем больше каналов имеет мультиплексор, тем меньше у него разрядов.

Управление работой мультиплексора (выбор номера канала) осуществляется с помощью входного кода адреса, подаваемого на специальные адресные линии. Например, для 4-канального мультиплексора необходим 2-разрядный управляющий (адресный) код, а для 16-канального — 4-разрядный код. Разряды кода обозначаются 1, 2, 4, 8 или A0, A1, A2, A3. Мультиплексоры бывают с выходом 2С и с выходом Z. Выходы мультиплексоров бывают прямыми и инверсными. Выход Z позволяет объединять выходы мультиплексоров с выходами других микросхем, а также получать двунаправленные и мультиплексированные линии. Некоторые микросхемы мультиплексоров имеют вход разрешения/запрета С (другое обозначение – S), который при запрете устанавливает прямой выход в нулевой уровень (либо в Z-состояние в зависимости от типа мультиплексора). Внутренняя структурная схема мультиплексора показана на рисунке 27.1, а, УГО типичного мультиплексора показано на рисунке 27.1, б. Таблица истинности мультиплексора приведена в таблице 27.1.

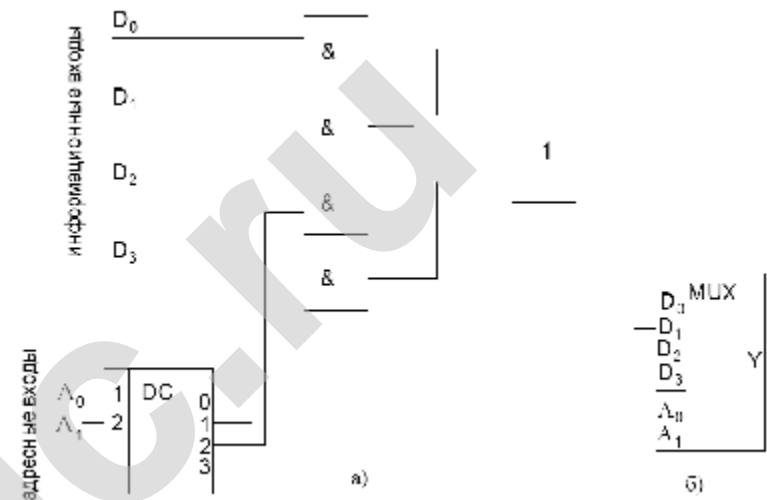


Рисунок 27.1 – Внутренняя структурная схема мультимплексора (а) и его условно-графическое обозначение (б)

Таблица 27.1 – Таблица истинности мультимплексора

Входы		Выход
A_1	A_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

Микросхемы мультимплексоров можно объединять для увеличения количества каналов. Например, два 8-канальных мультимплексора легко объединяются в 16-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для смешивания выходных сигналов (рисунок 27.2). Старший разряд кода будет при этом выбирать один из двух мультимплексоров. Точно так же из двух 16-канальных мультимплексоров можно сделать 32-канальный. Если нужно большее число каналов, то необходимо вместо инвертора включать дешифратор, на который подаются старшие разряды кода. Выходные сигналы дешифратора будут выбирать один из мультимплексоров.

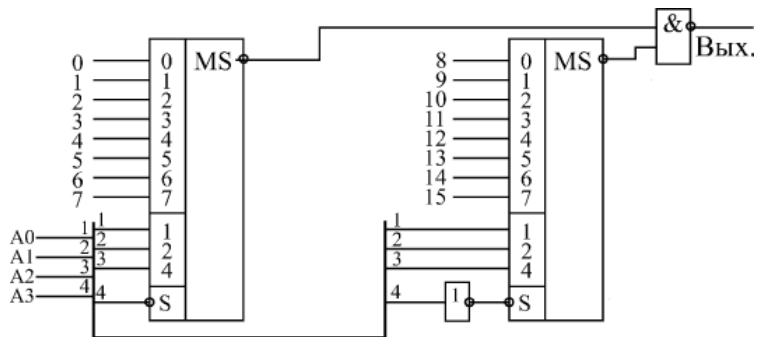


Рисунок 27.2 – Схема объединения мультимплексов для увеличения числа каналов

Микросхемы, выполняющие функции мультимплексора, кодируются буквами КП.

27.2 Демультимплексоры

Демультимплексор имеет 1 вход и n выходов. Информация без изменения поступает со входа на один из выходов, номер которого определен числом на специальных адресных входах. При этом все остальные выходы переключаются в заранее определенное состояние.

Внутренняя структурная схема демультимплексора (рисунок 27.3) строится аналогично схеме мультимплексора. Описание работы демультимплексора приведено в таблице 27.2.

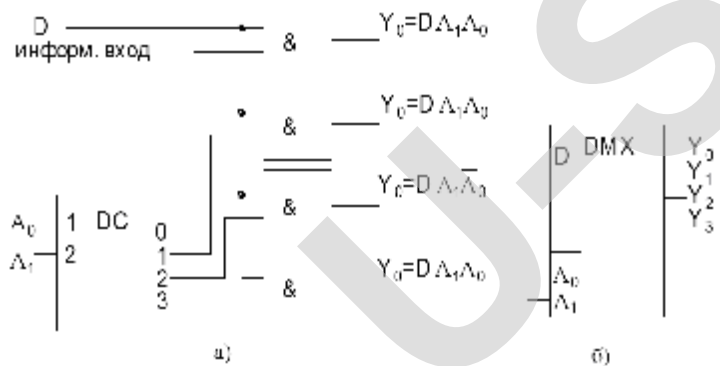


Рисунок 27.3 – Внутренняя структурная схема демультимплексора (а) и его условно-графическое обозначение (б)

Чаще всего на практике в качестве демультиплексоров используют мультиплексоры, имеющие возможность работать в двунаправленном режиме, то есть передавать информацию как со входа на выход, так и в обратную сторону.

Таблица 27.2 – Таблица истинности мультиплексора

Входы		Выходы			
A ₁	A ₀	Y ₀	Y ₁	Y ₂	Y ₃
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

27.3 Цифровые компараторы

Цифровые компараторы – это КЦУ, предназначенные для сравнения двух двоичных чисел.

Обычно компаратор имеет входы наращивания разрядности, куда подключаются выходы результатов сравнения от другого компаратора. Это позволяет увеличивать разрядность сравниваемых чисел. УГО типичного цифрового компаратора приведено на рисунке 27.4. Работу цифрового компаратора можно представить следующим словесным описанием:

- если число A больше числа B, то активный уровень присутствует на выходе «A>B»;
- если число A меньше числа B, то активный уровень присутствует на выходе «A<B»;
- если число A равно числу B, то активный уровень без изменения копируется с одного из входов результата сравнения («A>B», «A=B» или «A<B») на одноименный выход. При этом активный уровень должен присутствовать только на одном из этих входов.

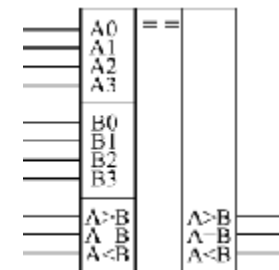


Рисунок 27.4 – УГО цифрового компаратора

Если используется одиночная микросхема, то для ее правильной работы достаточно подать единицу на вход $A = B$, а состояния входов $A < B$ и $A > B$ не важны, на них можно подать как нуль, так и единицу. Если микросхемы компараторов кодов каскадируются (объединяются) для увеличения числа разрядов сравниваемых кодов, то надо выходные сигналы микросхемы, обрабатывающей младшие разряды кода, подать на одноименные входы микросхемы, обрабатывающей старшие разряды кода (рисунок 27.5).

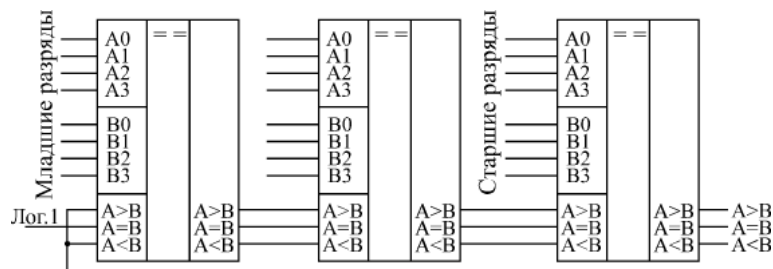


Рисунок 27.5 – Схема увеличения разрядности цифрового компаратора

Одно из основных применений компараторов кодов состоит в селектировании входных кодов. В этом случае достаточно иметь информацию только о совпадении кодов на входах компаратора, а не о соотношении их величин. Интересующий нас код (эталонный) подается на один вход компаратора, а изменяющийся код (входной) – на другой вход. Используется только выход равенства кодов $A = B$.

Микросхемы, выполняющие функции цифрового компаратора, кодируются буквами СП.

27.4 Схема проверки на четность/нечетность

Схема проверки на четность/нечетность – это КЦУ, сигнал на выходе которого будет активным, если количество единиц в поданном на вход двоичном наборе четно/нечетно.

УГО типичной схемы проверки на четность/нечетность приведено на рисунке 27.6. Описание работы схемы проверки на четность/нечетность в таблице 27.3.

Наиболее важным применением схем проверки на четность/нечетность является проверка ситуации, когда полученные с линии или извлеченные из памяти данные искажены ошибкой и использовать их нельзя. Общая схема организации контроля показана на рисунке 27.7.

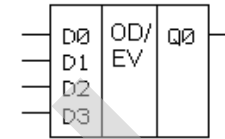


Рисунок 27.6 – УГО Схемы проверки на четность/нечетность

Таблица 27.3 – Таблица истинности схемы проверки на четность/нечетность

Входы				Выход четности
D0	D1	D2	D3	Q0
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

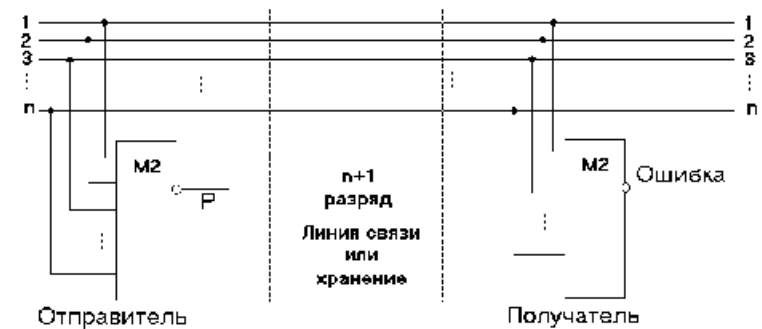


Рисунок 27.7 – Схема организации контроля линии связи

Работает представленная схема следующим образом. На n -входном элементе формируется признак четности P числа, который в качестве дополнительного $(n+1)$ -го контрольного разряда (parity bit) отправляется вместе с передаваемым словом в линию связи или запоминающее устройство. Передаваемое $(n+1)$ -разрядное слово имеет всегда нечетное число единиц. Если в исходном слове оно было нечетным, то функция от такого слова равна 0, и нулевое значение контрольного разряда не меняет числа единиц при передаче слова. Если же число единиц в исходном слове было четным, то контрольный разряд P для такого числа будет равен 1 и результирующее число единиц в передаваемом $(n+1)$ -разрядном слове станет нечетным. Вид контроля, когда по линии передается нечетное число единиц, по строгой терминологии называют контролем по четности.

На приемном конце линии или после чтения из памяти от полученного $(n+1)$ -разрядного слова снова берется свертка по четности. Если значение этой свертки равно 1, то или в передаваемом слове, или в контрольном разряде при передаче или хранении произошла ошибка. Столь простой контроль не позволяет исправить ошибку, но он, по крайней мере, дает возможность при обнаружении ошибки исключить неверные данные, затребовать повторную передачу и т.д.

Контроль по четности – самый дешевый по аппаратным затратам вид контроля, и применяется он очень широко. Практически любой канал передачи цифровых данных или запоминающее устройство, если они не имеют какого-либо более сильного метода контроля, защищены контролем по четности.

Микросхемы, выполняющие функции схемы проверки на четность/нечетность кодируются буквами ИП.

Лекция № 28

СУММАТОРЫ

28.1 Общее определение сумматора

Сумматором называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных кодов.

Сумматоры являются одним из основных узлов арифметико-логического устройства. Термин «сумматор» охватывает широкий спектр устройств, начиная с простейших логических схем, до слож-

нейших цифровых узлов. Общим для всех этих устройств является арифметическое сложение чисел, представленных в двоичной форме.

28.2 Классификация сумматоров

Классификация сумматоров может быть выполнена по различным признакам. Рассмотрим наиболее часто встречающиеся из них.

По числу выводов различают: полусумматоры, одноразрядные сумматоры, многоразрядные сумматоры.

Полусумматором называется устройство, предназначенное для сложения двух одноразрядных чисел, имеющее два входа и два выхода и формирующее из сигналов входных слагаемых сигналы суммы и переноса в старший разряд.

Одноразрядным сумматором называется устройство, предназначенное для сложения двух одноразрядных чисел, имеющее три входа и два выхода и формирующее из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.

Многоразрядным сумматором называется устройство, предназначенное для сложения двух многоразрядных чисел, формирующее на выходе код суммы и сигнал переноса в случае, если результат сложения не может быть представлен кодом, разрядность которого совпадает с разрядностью кодов слагаемых.

В свою очередь, многоразрядные сумматоры подразделяются на **последовательные** и **параллельные**. В последовательных сумматорах операция сложения выполняется последовательно разряд за разрядом, начиная с младшего. В параллельных все разряды годных кодов суммируются одновременно.

Различают **комбинационные** сумматоры – устройства, не имеющие собственной памяти, и **накапливающие** сумматоры, снабженные собственной внутренней памятью, в которой аккумулируются результаты выполненной операции. При этом каждое очередное слагаемое прибавляется к уже имевшемуся в устройстве значению.

По способу тактирования различают синхронные и асинхронные сумматоры. В **синхронных** сумматорах время выполнения операции арифметического суммирования двух кодов не зависит от вида самих кодов и всегда остается постоянным. В **асинхронных** сумматорах время выполнения операции зависит от вида слагаемых. Поэтому для завершения выполнения суммирования необходимо вырабатывать специальный сигнал завершения операции.

В зависимости от используемой системы счисления различают двоичные, двоично-десятичные и другие типы сумматоров.

28.3 Двоичный полусумматор

Для технической реализации двоичного полусумматора необходимы логические элементы И и исключающее ИЛИ. Внутренняя структурная схема двоичного полусумматора показана на рисунке 28.1, а, условное графическое обозначение на рисунке 28.1, б. Описание работы приведено в таблице 28.1.

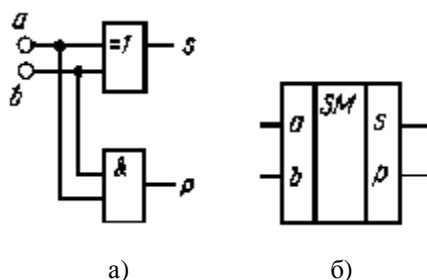


Рисунок 28.1 – Внутренняя структурная схема (а) и УГО (б) двоичного полусумматора

Таблица 28.1 – Таблица истинности сложения двух одноразрядных двоичных чисел

a	b	s	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

28.4 Одноразрядный двоичный сумматор

Рассмотрим, например, построение одноразрядного сумматора с использованием схем двоичных полусумматоров (рисунок 28.2, а). Для этой цели необходимы два полусумматора и элемент ИЛИ.

Условное графическое обозначение одноразрядного сумматора приведено на рисунке 28.2 б, описание работы приведено в таблице 28.2.

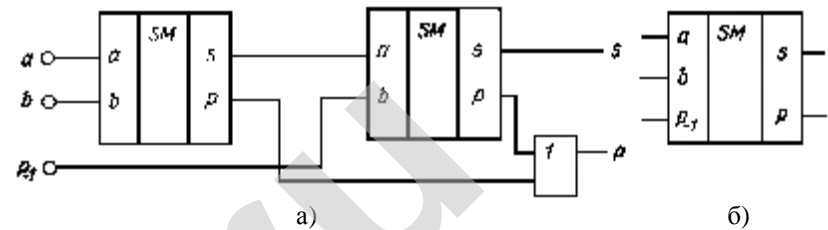


Рисунок 28.2 – Внутренняя структурная схема (а) и УГО (б) одnorазрядного двоичного сумматора

Таблица 28.2 – Таблица истинности сложения разрядов многоразрядных двоичных чисел

a	b	p_{i-1}	s	p
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

28.5 Многоразрядный сумматор параллельного действия

В этом сумматоре, согласно данному ранее определению, операции суммирования должны выполняться одновременно по всем разрядам исходных двоичных чисел. Из этого следует, что такой сумматор должен иметь отдельные аппаратные средства для выполнения суммирования в каждом разряде.

На рисунке 28.3 приведена типовая структурная схема 4-разрядного сумматора, выполненного с использованием трех одноразрядных сумматоров и одного полусумматора. Разряды кодов слагаемых подаются на соответствующие входы сумматоров, выходы суммы которых подсоединяются к первым входам ЛЭ И, используемых в качестве выходных ключей, на вторые входы которых подается сигнал Z, определяющий момент считывания результата. Выход сигнала переноса сумматора нулевого разряда подается на вход переноса сумматора первого разряда и т.д.

Из сказанного следует, что для получения на выходе сигнала, равного реальной сумме входных чисел, необходимо, чтобы сигнал

переноса последовательно сформировался на выходах сумматоров всех разрядов. Следовательно, не зависимо от того, что для суммирования в каждом разряде используется отдельный сумматор, реальное время выполнения операции в данной схеме определяется последовательным переносом сигнала p из разряда в разряд. Поэтому результат, который может быть снят с выхода схемы через время, равное времени суммирования в одном разряде, не будет являться реальным значением искомой суммы.

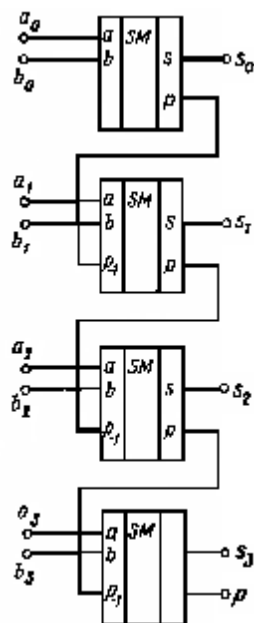


Рисунок 28.3 – Структурная схема многоразрядного сумматора параллельного действия

Для исключения получения ложного результата на выходе схемы установлены элементы И. Сигнал Z на входах этих элементов должен появляться не ранее, чем вслед за последовательной передачей сигнала переноса по всем разрядам сумматоров.

Следует отметить, что реально схемы многоразрядных сумматоров строятся только с применением одnorазрядных сумматоров, что позволяет, используя их последовательное включение, увеличить разрядность кодов слагаемых.

Для дальнейшего увеличения разрядности можно каскадировать сумматоры. Надо сигнал с выхода переноса сумматора, обрабатывающего младшие разряды, подать на вход переноса сумматора, обрабатывающего старшие разряды (рисунок 28.4). При объединении трех 4-разрядных сумматоров получается 12-разрядный сумматор, имеющий дополнительный 13-й разряд (выход переноса P).

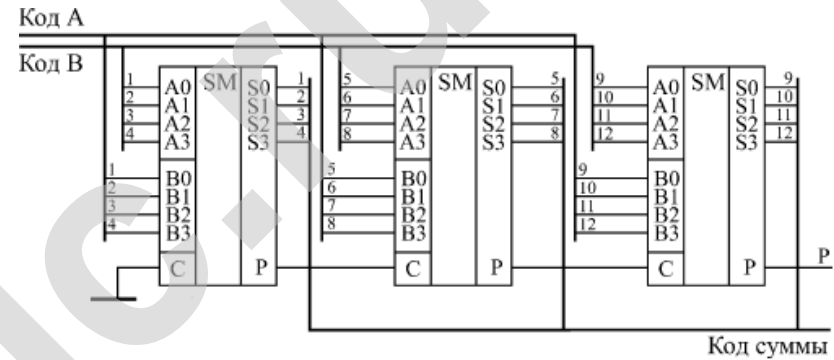


Рисунок 28.4 – Каскадирование сумматоров для увеличения разрядности

Сумматор может вычислять не только сумму, но и разность входных кодов, то есть работать вычитателем. Для этого вычитаемое число надо просто поразрядно проинвертировать, а на вход переноса C подать единичный сигнал (рисунок 28.5).

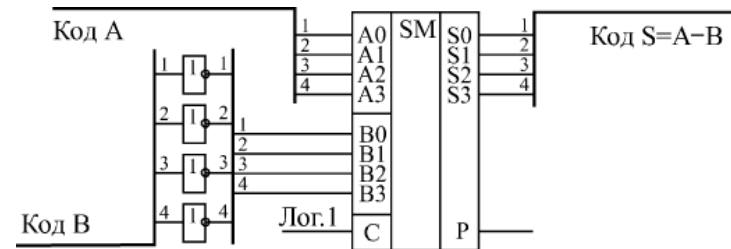


Рисунок 28.5 – 4-хразрядный вычитатель на сумматоре и инверторах

Например, пусть нам надо вычислить разность между числом 11 (1011) и числом 5 (0101). Инвертируем поразрядно число 5 и получаем 1010, то есть десятичное 10. Сумматор при суммировании 11 и 10 даст

21, то есть двоичное число 10101. Если сигнал С равен 1, то результат будет 10110. Отбрасываем старший разряд (выходной сигнал Р) и получаем разность 0110, то есть 6.

Микросхемы, выполняющие функции сумматора, кодируются буквами ИМ.

Лекция № 29

ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЦИФРОВЫЕ УСТРОЙСТВА. ТРИГГЕРЫ

29.1 Последовательностные цифровые устройства

Кроме комбинационных устройств, рассмотренных ранее, существует класс цифровых устройств, в которых при одинаковых воздействиях на входе, на выходе автомата могут возникать различные выходные состояния. Состояние выхода такого устройства зависит не только от того, какие сигналы присутствуют на его входах в данный момент времени, но и от того, какие последовательности сигналов поступали на входы устройства в предшествующие моменты времени, т.е. как говорят, автомат помнит свою предысторию и хранит ее в памяти. Поэтому такие устройства называют последовательностными, или автоматами с памятью.

Последовательностные цифровые устройства (ПЦУ) – это цифровые устройства, у которых состояние выходов зависит не только от состояния входов в текущий момент времени, но и от состояния входов в предыдущие моменты времени, то есть ПЦУ обладает памятью.

Для описания последовательностного автомата с памятью, помимо состояний входов $X(t)$ и выходов $Y(t)$, необходимо также знать состояние памяти автомата, как говорят, его внутреннее состояние $S(t)$, определяемое совокупностью состояний всех элементов памяти.

В общем виде последовательностный автомат с памятью рассматривается состоящим из двух частей: комбинационного цифрового устройства (КЦУ) и памяти, состоящей из элементов памяти (ЭП) (рисунок 29.1). В качестве элементов памяти могут быть применены как однобитовые элементы памяти (различные типы триггеров), так и многобитовые (многоразрядные) цепочки триггеров.

Функционирование, т.е. изменение состояния устройства, многотактного автомата происходит в дискретные моменты времени, ход которого обозначается натуральными числами $t = 1, 2, 3$ и т.д. В каж-

дый момент дискретного времени t автомат находится в определенном состоянии $S(t)$, воспринимает через входы соответствующую данному моменту комбинацию входных переменных $X(t)$, выдает на выходах некоторую функцию выхода $Y(t)$, определяемую как $Y(t) = f(S(t), X(t))$, и переключается в новое состояние $S(t+1)$, которое определяется функцией переходов φ как $S(t+1) = \varphi(S(t), X(t))$.



Рисунок 29.1 – Структурная схема последовательного цифрового устройства

Закон функционирования последовательных автоматов может задаваться в виде уравнений, таблиц и временных диаграмм. Под законом функционирования понимается совокупность правил, описывающих последовательность переключения состояний автомата и последовательность выходных сигналов в зависимости от последовательности поступления входных сигналов.

К функциональным узлам последовательного типа относятся: триггерные устройства, регистры, счетчики.

Простейшими типами последовательных схем являются триггеры, имеющие два устойчивых состояния, обозначаемых как «1» и «0».

29.2 Общее определение триггеров

Триггер – это ПЦУ, которое может находиться в двух устойчивых состояниях. Самопроизвольный переход из одного состояния в другое исключен. Если на выходе триггера лог. 1, то говорят, что триггер установлен, если лог. 0, то – сброшен. Для переключения триггера из одного состояния в другое используют специальные входы управления. Номенклатура входов и их тип зависит от типа триггера. Схема простейшего триггера без входов управления приведена на рисун-

ке 29.2. Для удобства использования триггера у него обычно делается два выхода: прямой выход – Q и инверсный выход – \bar{Q} .

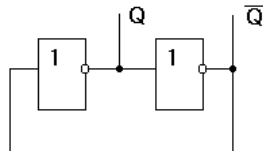


Рисунок 29.2 – Схема простейшего триггера

Таким образом, триггеры – это элементарные автоматы, содержащие собственно элемент памяти (фиксатор) и схему управления. Фиксатор строится на двух инверторах, связанных друг с другом «накрест», так что выход одного соединен со входом другого. Такое соединение дает цепь с двумя устойчивыми состояниями (см. рисунок 29.2). Действительно, если на выходе инвертора 1 имеется логический ноль, то он обеспечивает на выходе инвертора 2 логическую единицу, благодаря которой сам и существует. То же согласование сигналов имеет место и для второго состояния, когда инвертор 1 находится в единице, а инвертор 2 – в нуле. Любое из двух состояний может существовать неограниченно долго.

Переходное состояние, в котором инверторы активны, неустойчиво. Это можно показать, имея в виду, что напряжения в любой цепи не являются идеально постоянными, а всегда имеет место флуктуация. Флуктуации обязательно приведут фиксатор в одно из двух стабильных состояний, так как из-за наличия в схеме петли положительной обратной связи любое изменение режима вызывает продолжение в том же направлении, пока фиксатор не перейдет в устойчивое состояние, когда петля обратной связи как бы разрывается вследствие потери инверторами усилительных свойств (переход в режимы отсечки и насыщения, свойственные устойчивым состояниям).

Чтобы управлять фиксатором, нужно иметь в логических элементах дополнительные входы, превращающие инверторы в элементы И-НЕ либо ИЛИ-НЕ. На входы управления поступают внешние установочные сигналы.

Установочные сигналы показаны на рисунке 29.3 штриховыми линиями. Буквой R латинского алфавита (от Reset) обозначен сигнал установки триггера в ноль (сброса), а буквой S (от Set) – сигнал установки в состояние логической единицы (установки). Состояние триггера считывается по значению прямого выхода, обозначаемого как Q. Для фиксатора на элементах ИЛИ-НЕ установочным сигналом являет-

ся единичный, поскольку только он приводит логический элемент в нулевое состояние независимо от сигналов на других входах элемента. Для фиксатора на элементах И-НЕ установочным сигналом является нулевой, как обладающий тем же свойством однозначно задавать состояние элемента независимо от состояний других входов.

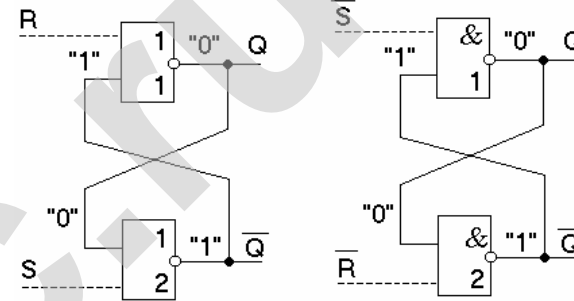


Рисунок 29.3 – Схемы фиксаторов с входами управления на элементах ИЛИ-НЕ и элементах И-НЕ

Практически все серии цифровых интегральных схем содержат готовые триггеры, и поэтому задача проектировщика – правильное использование имеющихся триггеров. Отсюда важное значение приобретают классификации триггеров, изучение их параметров и особенностей функционирования.

29.3 Классификация триггеров

Классификация триггеров проводится по признакам логического функционирования и способу записи информации (рисунок 29.4).

По логическому функционированию различают триггеры типов RS, D, T, JK и др. Кроме того, используются комбинированные триггеры, в которых совмещаются одновременно несколько типов, и триггеры со сложной входной логикой (группами входов, связанных между собой логическими зависимостями).

Триггер типа RS имеет два входа – установки в единицу (S) и установки в ноль (R). Одновременная подача активных сигналов установки S и сброса R не допускается (эта комбинация сигналов называется запрещенной).

Триггер типа D (от слова Delay – задержка) имеет один вход. Его состояние повторяет входной сигнал, но с задержкой, определяемой тактовым сигналом.

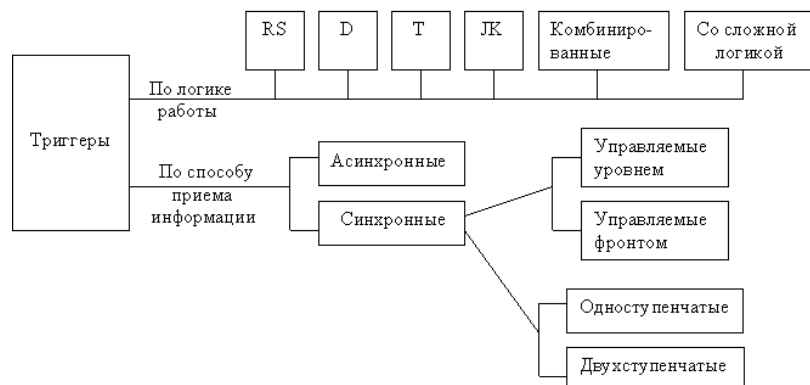


Рисунок 29.4 – Классификация триггеров

Триггер типа Т изменяет свое состояние каждый раз при поступлении входного сигнала. Имеет один вход, называется триггером со счетным входом или счетным триггером.

Триггер типа JK универсален, имеет выходы установки (J) и сброса (K), подобные входам триггера RS. В отличие от последнего, допускает ситуацию с одновременной подачей активных сигналов на оба эти входа ($J = K = 1$). В этом режиме работает как счетный триггер относительно третьего (тактового) входа.

В комбинированных триггерах совмещаются несколько режимов. Например, триггер типа RST – счетный триггер, имеющий также входы установки и сброса.

Примером триггера со сложной входной логикой служит JK-триггер с группами входов $J_1J_2J_3$ и $K_1K_2K_3$, соединенными операцией конъюнкции: $J = J_1J_2J_3$, $K = K_1K_2K_3$.

По способу записи информации различают асинхронные (нетактируемые) и синхронные (тактируемые) триггеры. В нетактируемых переход в новое состояние вызывается непосредственно изменениями входных информационных сигналов. В синхронных – имеющих специальный вход С, переход происходит только при подаче на этот вход тактовых сигналов. Тактовые сигналы называют также синхронизирующими, исполнительными, командными и т.д. Обозначаются они буквой С (от слова Clock).

По способу восприятия тактовых сигналов триггеры делятся на **управляемые уровнем (статические)** и **управляемые фронтом (динамические)**. Управление уровнем означает, что при одном уровне тактового сигнала триггер воспринимает входные сигналы и реагирует на них, а при другом не воспринимает и остается в неизменном состоя-

нии. При управлении фронтом разрешение на переключение дается только в момент перепада тактового сигнала (на его фронте или спаде). В остальное время независимо от уровня тактового сигнала триггер не воспринимает входные сигналы и остается в неизменном состоянии.

Динамический вход может быть **прямым или инверсным**. Прямое динамическое управление означает разрешение на переключение при изменении тактового сигнала с нулевого значения на единичное, инверсное – при изменении тактового сигнала с единичного значения на нулевое.

По характеру процесса переключения триггеры делятся на **одноступенчатые и двухступенчатые**.

В одноступенчатом триггере переключение в новое состояние происходит сразу, в двухступенчатом – по этапам. Двухступенчатые триггеры состоят из входной и выходной ступеней. Переход в новое состояние происходит в обеих ступенях поочередно. Один из уровней тактового сигнала разрешает прием информации во входную ступень при неизменном состоянии выходной ступени. Другой уровень тактового сигнала разрешает передачу нового состояния из входной ступени в выходную.

В практике проектирования используется термин «триггер-защелка». Под этим понимается триггер, который прозрачен при одном уровне тактового сигнала и переходит в режим хранения при другом.

Двухступенчатый триггер обозначается буквами Т. Двухступенчатые триггеры часто называют также триггерами типа MS (от английского слова Master-Slave, то есть хозяин-раб). Эта аббревиатура отражает характер работы триггера: входная ступень вырабатывает новое значение выходной переменной Q, а выходная его копирует.

29.4 Асинхронный RS-триггер

Простейшим триггером является RS-триггер. RS-триггер имеет два информационных входа и два выхода. Входы и выходы триггера имеют свои обозначения. Один из входов триггера называется установочным входом и обозначается буквой S (от английского set – установить), а другой – входом сброса и обозначается буквой R (от reset – сбросить). Триггер имеет два симметричных выхода. На одном выходе (условно называемом прямым выходом) сигнал представляется без отрицания (выход Q), а на другом – с отрицанием (\bar{Q} – инверсный выход). RS-триггер может быть построен на двух логических элементах ИЛИ-НЕ, соединенных в контур «накрест» (рисунок 29.5, а). На

рисунке также представлено условное графическое обозначение асинхронного RS-триггера с прямыми входами.

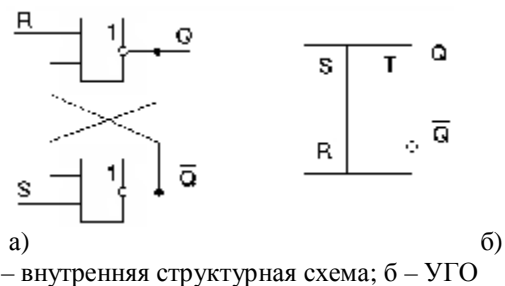


Рисунок 29.5 – Асинхронный RS-триггер

Важным методом, используемым для описания функционирования RS-триггера, является метод таблиц истинности. Таблица состояний RS-триггера (таблица 29.1) содержит два входных сигнала (сигналы R и S) и два выходных сигнала прямой Q(функция), а другой – инверсный \bar{Q} .

Таблица 29.1 – Сокращенная таблица истинности RS-триггера

S	R	Q	\bar{Q}
0	0	Q^0	\bar{Q}^0
0	1	0	0
1	0	1	1
1	1	X	X

Здесь Q^0 – состояние триггера до поступления управляющего сигнала; Q – состояние триггера после поступления управляющего сигнала; X – неопределенное состояние триггера, соответствующее запрещенным комбинациям входных переменных.

Из таблицы состояний триггера видно, что при подаче на вход R уровня лог. 1 триггер принимает состояние лог. 0, а при подаче управляющего сигнала лог. 1 на вход S – состояние лог. 1. Следует отметить также, что если до подачи управляющего сигнала, например, на вход R, триггер находился в состоянии лог. 0, его состояние не изменится и после подачи сигнала лог. 1 на вход R. Если на обоих входах триггера имеются уровни лог. 0 – это состояние соответствует режиму хранения

и триггер сохраняет предыдущее состояние. В таблице это состояние обозначено условно Q^0 . При подаче на входы R и S одновременно уровня лог. 1 триггер будет находиться в неопределенном (или неправильном) состоянии, поэтому такое сочетание сигналов R и S называется запрещенной комбинацией управляющих сигналов и в таблице состояний обозначается буквой X.

Сокращенная таблица состояний триггера отражает лишь динамику изменения состояния триггера и не учитывает свойство триггера запоминать единицу информации. Полная таблица состояний триггера (таблица 29.2) должна учитывать влияние (на процесс управления) значения предыдущего состояния триггера Q^0 . Причем Q^0 представляется как входная переменная.

Таблица 29.2 – Полная таблица истинности RS-триггера

Номер шага	Входные переменные			Выходные переменные
	S	R	Q^0	Q
1	0	0	0	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	1	0	0	1
6	1	0	1	1
7	1	1	0	α
8	1	1	1	α

Анализ таблицы 29.2 показывает, что только в ситуациях, описываемых строками 4 и 5, происходит изменение состояния триггера.

Рассмотрим строку 4. После того как подается сигнал на вход R, триггер сбрасывается, т.е. переходит из состояния лог. 1 в состояние лог. 0.

Рассмотрим строку 5. Триггер устанавливается, т.е. переходит из состояния «0» в состояние «1», в результате подачи сигнала «1» на вход S. Для строк 1 и 2 сигналы $S = 0$ и $R = 0$, и, следовательно, никаких изменений в состоянии триггера не происходит. Для строки 3 сигнал $R = 1$, и этот сигнал в нормальных условиях должен сбросить триггер, но так как триггер уже «сброшен» и $Q = 0$, то сигнал $R = 1$ не изменяет его состояние.

Аналогично для строки 6 сигнал $S = 1$, и этот сигнал в обычных условиях будет устанавливать триггер в «1», но $Q = 1$, и, следовательно,

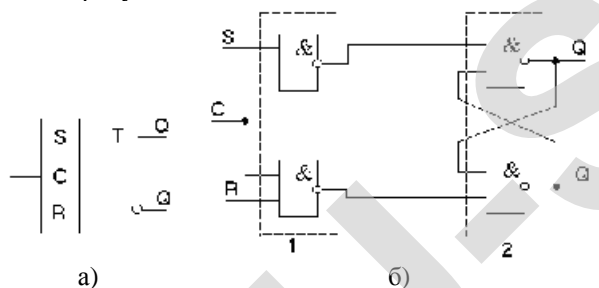
но, состояние триггера останется без изменений до поступления следующего сигнала R.

Комбинация входных сигналов $R = S = 1$ запрещена. Что же произойдет, если она возникнет? Видно, что в этом случае оба выхода триггера станут единичными. Если после запрещенной комбинации входных сигналов 11 на входах появится комбинация 01 или 10, триггер перейдет в состояние, соответствующее этой комбинации. Если же после запрещенной комбинации входных сигналов 11 появится комбинация 00 (режим хранения), то возникнет непредсказуемая ситуация. Вначале оба элемента находятся в единичных состояниях, но в конечном счете схема перейдет в одно из устойчивых состояний, когда один из элементов имеет нулевое состояние, а другой – единичное. Происходит противоборство элементов, каждый из которых стремится навязать соседу свою «волю». Исход борьбы заранее неизвестен. Именно это заставляет считать комбинацию 11 запрещенной, т.к. пользоваться схемой, поведение которой непредсказуемо, если не говорить о специальных применениях, нельзя. Очевидно, что для нормальной работы триггера необходимо исключить указанное сочетание входных сигналов, приводящее к неопределенному состоянию, что можно осуществить, предусмотрев выполнение запрещающего условия $R \cdot S = 0$.

Микросхемы, содержащие RS-триггер, кодируются буквами TP.

29.5 Синхронный RS-триггер

Условное графическое изображение синхронного RS-триггера представлено на рисунке 29.6, а.



а) – УГО; б) – внутренняя структурная схема

Рисунок 29.6 – Синхронный RS-триггер

Синхронный RS-триггер отличается от асинхронного наличием дополнительного входа C, на который поступают синхронизирующие (тактовые) сигналы. Входные сигналы S и R являются информацион-

ными, а сигналы на входе С – синхронизирующими, по ним происходит переключение триггера. Синхронный RS-триггер состоит из асинхронного RS-триггера и комбинационного цифрового устройства (рисунок 29.6, б).

Приведенную выше схему называют также синхронным RS-триггером с управлением уровнем (статическим синхронным RS-триггером). Как видно из представленного выше рисунка, синхронный RS-триггер построен на элементах И-НЕ. Схема 1 представляет собой комбинационную схему с тремя входами S, C, R и двумя выходами. Схема 2 представляет собой асинхронный RS-триггер на элементах И-НЕ.

Изменение состояния триггера происходит (при наличии управляющего сигнала) только в те моменты времени, когда на специальный синхровход триггера поступает тактирующий импульс (рисунок 29.7).

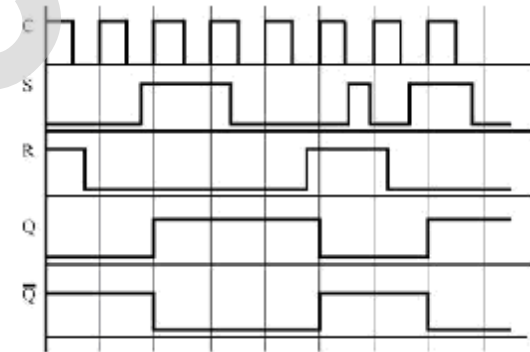


Рисунок 29.7 – Временные диаграммы, поясняющие работу синхронного RS-триггера

При $C = 0$ выходы логических элементов схемы 1 принимают значение 1 и не зависят от входных сигналов R и S. При $C = 1$ входные логические элементы 1 открыты для передачи информационных сигналов R и S на входы асинхронного RS-триггера.

Закон функционирования синхронного RS-триггера на элементах И-НЕ может быть задан таблицей 29.3.

Общее время установки состояния триггера t равно сумме задержек передачи сигнала через цепочку из трех логических элементов с задержкой t в каждом: $t_T = 3t_{зcp}$. При этом длительность синхросигнала t_C на входе С должна превышать время переключения $t_C \geq t_T = 3t_{зcp}$.

Таблица 29.3 – Таблица истинности синхронного RS-триггера

C	S	R	Q^0	Q
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	-
1	1	1	1	-

Длительность паузы t_{Π} между двумя сигналами на входе С должна быть достаточной для переключения входных элементов в схеме 1 (см. рисунок 29.6, б): $t_{\Pi} \geq t_{зср}$.

Следовательно, минимальный период повторения синхронизирующих сигналов на входе С равен $4t$, а наибольшая частота переключений: $F_{МАХ} = 1/4t_{зср}$.

29.6 Двухступенчатый RS-триггер

Рассмотренные схемы RS-триггеров являются одноступенчатыми. Применение одноступенчатых RS-триггеров в качестве самостоятельных запоминающих элементов ограничено. Это связано с неустойчивой работой последовательной схемы (цифрового автомата), память которой выполнена на одноступенчатых RS-триггерах. Сигналы переключения триггера $S(t)$, $R(t)$ формируются в цифровом автомате комбинационной схемой, в их формировании участвуют, наряду с внешними логическими сигналами, сигналы $Q(t)$ и $\bar{Q}(t)$. Переключение одноступенчатого триггера под действием сигналов $S(t)$ и $R(t)$ вызывает изменение значений сигналов $Q(t)$ и $\bar{Q}(t)$, а их изменение может привести к изменениям сигналов $S(t)$ или $R(t)$ в том же такте вре-

мени t и, как следствие, к ложному срабатыванию триггера. Для устойчивой работы триггера необходимо, чтобы сигналы $Q(t)$ и $\overline{Q}(t)$ изменялись только после прекращения действия входного сигнала $S(t)$ или $R(t)$. Это требование выполняется в двухступенчатых триггерах (MS-триггерах). Базовыми схемами для построения двухступенчатых триггеров являются одноступенчатые RS-триггеры.

В двухступенчатых триггерах входная и выходная ступени между собой тактируются «асинхронно», прием информации в них разрешается поочередно. Следствие этого – отсутствие режима прозрачности триггера при любом уровне синхросигнала, что позволяет реализовать любые типы триггеров, свободные от режимов генерации, и дает возможность построения синхронных автоматов без опасных временных соизмерений.

Двухступенчатые триггеры строятся несколькими способами (рисунок 29.8):

- с разнополярным управлением ступенями (см. рисунок 29.8, а);
- с инвертором (см. рисунок 29.8, б);
- с запрещающими связями.

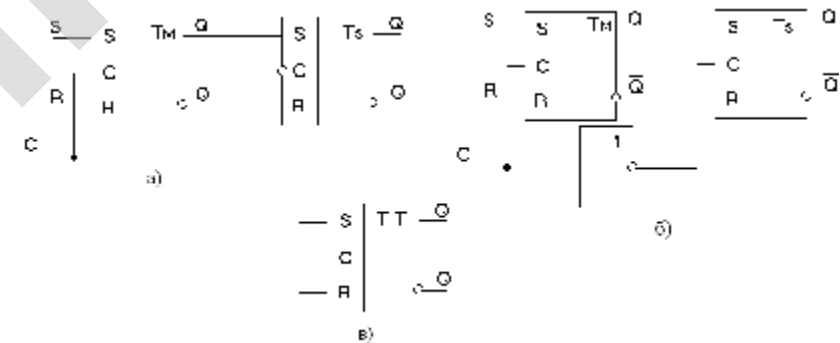


Рисунок 29.8 – Двухступенчатые триггеры

На функциональных схемах двухступенчатый триггер изображается в соответствии с рисунком 29.8, в. Символ ТТ в поле условного обозначения означает, что триггер двухступенчатый.

Двухступенчатый триггер состоит из двух секций (ступеней), соединенных каскадно, как показано на рисунках 29.8, а и 29.8, б, причем каждая секция содержит по синхронному RS-триггеру. Первая секция ведущая, или М-секция (М происходит от английского Master, что в переводе означает «хозяин»), принимает информацию со входных линий S и R. Состояние выходов ведущей секции подается на вторую сек-

цию, ведомую, или S-секцию (S происходит от английского Slave, что в переводе означает «раб»).

В первом варианте асинхронное тактирование ступеней очевидно, поскольку ступени имеют соответствующие синхровходы.

Во втором варианте ступени идентичны по синхровходам, а для их антисинхронного управления в цепь тактовых сигналов включен инвертор. Изменение состояния выхода ведущего триггера будет происходить в момент появления положительного импульса синхронизации, и эти изменения будут переданы на входы ведомого триггера. Однако никакие изменения на выходе ведомого триггера не будут происходить до тех пор, пока не появится положительный сигнал инвертированного импульса синхронизации, т.е. отрицательный (задний фронт) фронт исходного синхроимпульса. Следовательно, изменения на выходах Q и \bar{Q} не произойдет до тех пор, пока не завершится импульс синхронизации. В такой схеме возможны временные состязания сигналов: входной триггер состязается с инвертором. Если триггер переключится быстрее инвертора, то его новое состояние может успеть «проскочить» в выходной триггер, т.к. инвертор не успеет заблокировать входы этого триггера. Несмотря на это, вариант с инвертором находит широкое применение, при его проектировании просто заботятся об обеспечении нужного соотношения задержек инвертора и входного триггера.

На рисунке 29.9 приведены временные диаграммы работы триггера во втором варианте:

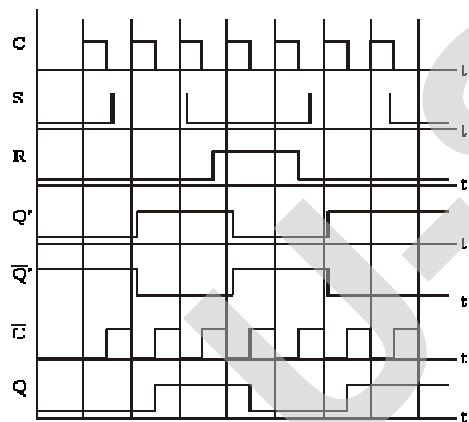


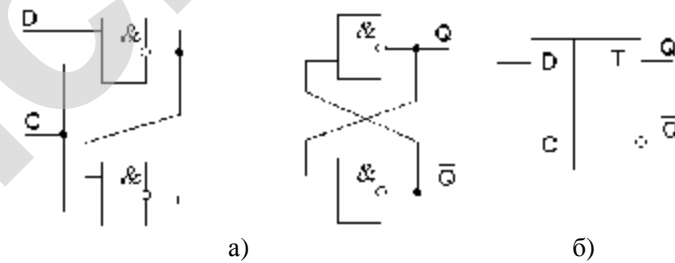
Рисунок 29.9 – Временные диаграммы двухступенчатого RS-триггера

Двухступенчатые триггеры строятся также по схеме с запрещающими связями, не имеющей инвертора в цепи подачи синхросигналов на вторую ступень. Сигналы блокировки второй ступени берутся в этом случае со входов фиксатора первой ступени.

29.7 D-триггер

D-триггер (от английского Delay – задержка) – это синхронный триггер с одним информационным входом D. D-триггер имеет как минимум две входные линии: одна – для подачи синхроимпульсов; другая – для подачи информационных сигналов.

Внутренняя структурная схема D-триггера на элементах И-НЕ приведена на рисунке 29.10, а. Условное графическое обозначение D-триггера показано на рисунке 28.10, б:



а – внутренняя структурная схема; б – УГО D-триггера

Рисунок 29.10 – D-триггер

Описание работы D-триггера приведено в таблице 29.4, а его временные диаграммы на рисунке 29.11.

Таблица 29.4 – Таблица истинности D-триггера

C	D	Q^0	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

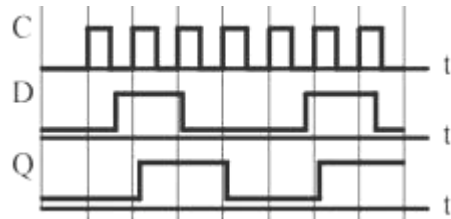


Рисунок 29.11 – Временные диаграммы работы D-триггера

Для триггера типа D состояние в интервале времени между сигналом на входной линии и следующим состоянием триггера формируется проще, чем для любого другого типа. Согласно таблице истинности, приведенной выше, по синхроимпульсу D-триггер принимает то состояние, которое имеет входная линия.

В момент времени t действия тактового импульса, соответствующего появлению сигнала 1 на входе D, на выходе триггера Q единичного напряжения еще нет: оно появится только после окончания тактового импульса и может быть использовано только при поступлении тактового импульса в момент времени $t+1$, т.е. с задержкой на один такт.

D-триггеры могут переключаться как уровнем синхроимпульса, так и его фронтом. В технической литературе D-триггер, управляемый уровнем синхроимпульса, известен также как триггер-защелка.

D-триггер может быть построен на двух синхронных RS-триггерах T1 и T2 и двух инверторах Э1 и Э2. Такую схему D-триггера называют двухступенчатым D-триггером. На рисунке 29.12 представлена схема двухступенчатого D-триггера.

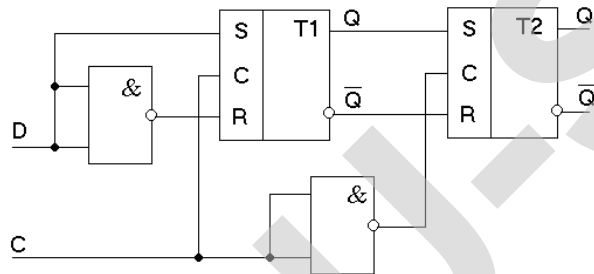


Рисунок 29.12 – Внутренняя структурная схема D-триггера

Как и синхронные RS-триггеры, оба инвертора выполнены на элементах И-НЕ. Информационным входом триггера является вход D.

Вход С служит для подачи тактовых импульсов. Пусть на вход D поступил сигнал 1. При $D = 1$ напряжение на входе Т1 соответствует сочетанию сигналов $S = 1, R = 0$. Появление очередного тактового импульса на входе С приведет к установлению триггера в состояние, при котором напряжение на его выходе равно единице. На входах R и S триггера Т2 появляется сочетание сигналов $S = 1, R = 0$. Однако во время действия тактового импульса напряжение на выходе инвертора Э2 равно нулю. Сигнал на входе С триггера Т2 является нулевым и переключение триггера Т2 не происходит. Однако как только закончится тактовый импульс, сигнал на входе С триггера Т2 принимает значение 1 и триггер Т2 переключится в состояние лог. 1. Если на входе D напряжение приняло нулевой уровень, то на выходе Э1 напряжение соответствует единичному значению. На триггер Т1 подается сочетание входных сигналов $S = 0, R = 1$, которое должно сбросить триггер Т1 в состояние 0. Это произойдет во время действия очередного тактового импульса, когда напряжение на выходе элемента Э2 равно нулю. Поэтому, хотя на входы триггера Т2 и будет во время действия тактового сигнала подаваться сочетание сигналов $S = 0, R = 1$, переключения триггера не произойдет. После окончания действия тактового импульса на выходе триггера Т2 напряжение на выходе Q примет нулевой уровень. Двухступенчатые D-триггеры обладают расширенными функциональными возможностями, например, при соединении инверсного выхода Q со входом D образуется триггер Т-типа.

Микросхемы, содержащие D-триггер, кодируются буквами ТМ.

29.8 Универсальный JK-триггер

Среди триггеров особое место занимают JK-триггеры, имеющие более широкие функциональные возможности.

Универсальный JK-триггер, схема которого представлена на рисунке 29.13, представляет собой двухступенчатый синхронный триггер.

Триггер типа JK имеет выходы установки (J) и сброса (K), подобные входам триггера RS. JK-триггер отличается от синхронного RS-триггера тем, что не имеет запрещенных комбинаций сигналов на входах J и K. Триггер собран по схеме Master-Slave и состоит из двух асинхронных RS-триггеров с инверсными входами и двух комбинационных устройств, каждое из которых содержит две схемы И-НЕ с тремя входами каждая.

Триггер работает в два такта: на первом информация записывается в первый триггер, а по окончании первого такта информация переписывается во второй триггер. Один из входов JK-триггера всегда

заблокирован нулевым сигналом с выхода Q или \bar{Q} . В результате этого триггер не имеет запрещенных состояний и позволяет одновременную подачу двух единиц на входы J и K .

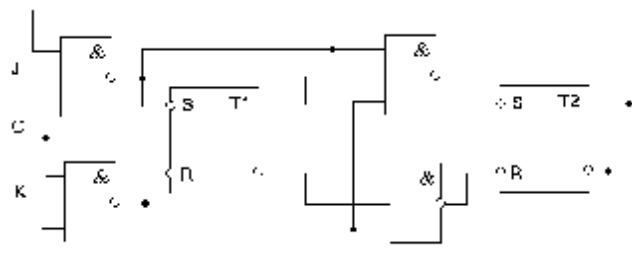


Рисунок 29.13 – Внутренняя структурная схема JK-триггера

В таблице 29.5 приведено описание работы JK-триггера.

Таблица 29.6 – Таблица истинности JK-триггера

J	K	Q^0	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Рассмотрим принцип работы JK-триггера. При $C = 0$ входы J и K заблокированы и, следовательно, оказываются заблокированными входы S и R триггера $T1$. При $C = 1$ в соответствии с информационными сигналами на входах J и K устанавливается состояние ведущего триггера $T1$. При этом на входы S и R ведомого триггера $T2$ поступают сигналы, при которых его предыдущее состояние сохраняется. При $C = 0$, когда входы триггера $T1$ закрыты для входной информации, входы триггера $T2$ открываются и состояние ведущего триггера воспринимается ведомым триггером.

Микросхемы, содержащие JK-триггер, кодируются буквами ТВ.

29.9 Т-триггер

Т-триггер – это счетный триггер. Т-триггер имеет один вход (который является и тактирующим и информационным), куда подают тактирующие (счетные) импульсы. После подачи каждого тактирующего импульса состояние Т-триггера меняется на противоположное (инверсное) предыдущему состоянию (аналогично состоянию JK-триггера при комбинации входных переменных $J = 1$ и $K = 1$). Т-триггеры строятся только на базе двухступенчатых (RS, D, JK) триггеров.

На рисунке 29.14 приведено УГО Т-триггера с прямым синхронным входом Т, а на рисунке 29.15 – временные диаграммы, поясняющие его работу.

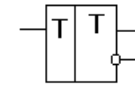


Рисунок 29.14 – УГО Т-триггера с прямым синхронным входом

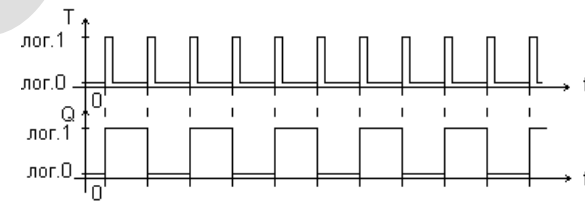


Рисунок 29.15 – Временные диаграммы работы Т-триггера

29.10 Синхронные триггеры с динамическим управлением

Синхронный триггер с динамическим управлением по входу С воспринимает информацию для изменения состояния лишь тогда, когда на С-входе совершается переход с уровня 0 на уровень 1, либо наоборот. Динамические триггеры могут изменять свое состояние как передним, так и задним фронтом тактирующих импульсов. Фрагменты схемного обозначения приведены на рисунке 29.16:

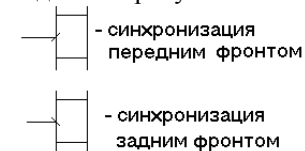


Рисунок 29.16 – Фрагменты схемного обозначения линии синхронизации

Для получения RS-триггера с динамическим входом достаточно построить схему, показанную на рисунке 29.17.

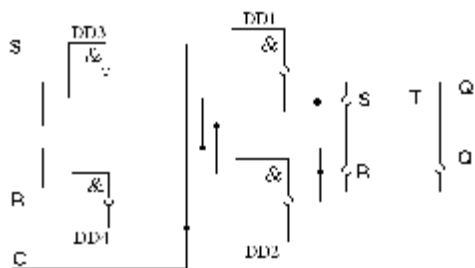


Рисунок 29.17 – Схема RS-триггера с динамическим входом на элементах И-НЕ

Если при $C = 0$ на информационные входы поступили какие-либо уровни S и R , то при смене уровня на входе C с лог. 0 на лог. 1 на выходе элемента $DD1$ образуется лог. 0, который поступает на вход элемента $DD3$ и обеспечивает на его выходе уровень лог. 1 независимо от последующих значений уровня на входе S . Вход S логически отключается, и никакие изменения уровней на входах S и R триггер не воспринимает, пока не произойдет на входе C переход с уровня лог. 0 на уровень лог. 1.

Аналогично можно построить схему RS-триггера с динамическим входом на элементах ИЛИ-НЕ (рисунок 29.18).

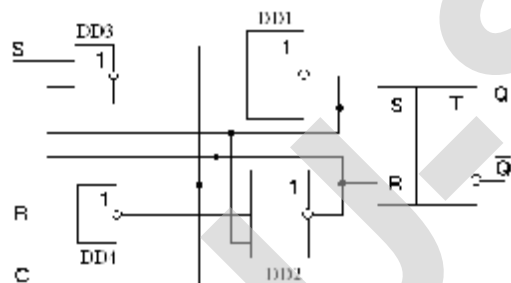


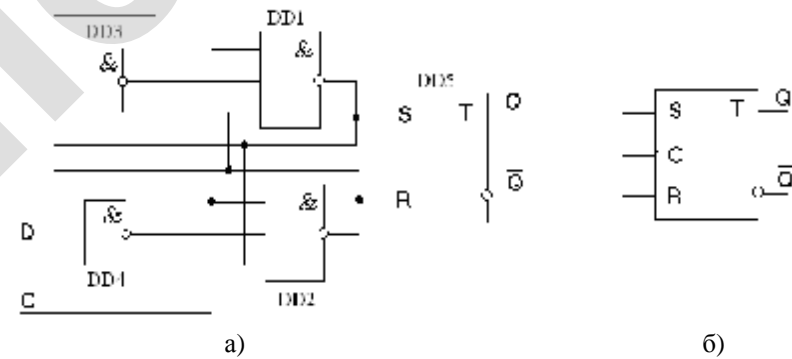
Рисунок 29.18 – Схема RS-триггера с динамическим входом на элементах ИЛИ-НЕ

Здесь информация воспринимается триггером со входом S и R при смене уровней C = 1 на C = 0. Условное изображение такого триггера показано на рисунке 29.19.



Рисунок 29.19 – УГО RS-триггера с динамическим входом синхронизации

Схема D-триггера с динамическим входом и его условное графическое обозначение приведены на рисунке 29.20:



а – внутренняя структурная схема D-триггера с динамическим входом;
б – УГО D-триггера с динамическим входом

Рисунок 29.20 – D-триггер с динамическим входом синхронизации на элементах И-НЕ

Прием в триггер информации со входа D происходит в момент смены на входе C уровня лог. 0 на уровень лог. 1.

Построение триггеров с динамическим управлением также можно показать на примере так называемого шестиэлементного триггера (другое название – схема «трех триггеров»), внутренняя структурная схема показана на рисунке 29.21.

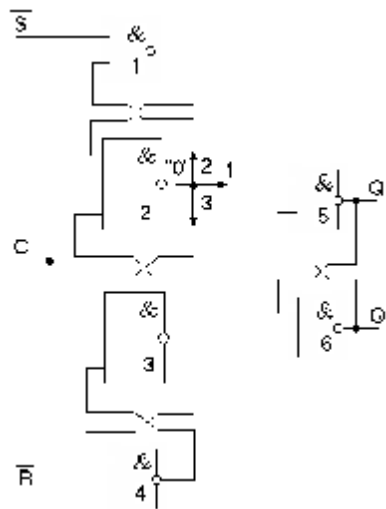


Рисунок 29.21 – Внутренняя структурная схема синхронного RS-триггера на основе шестиэлементной схемы

Часть схемы, включающая в себя элементы 2, 3, 5, 6 без цепей перекрестных связей между элементами 2 и 3, образует синхронный RS-триггер с управлением уровнем, чувствительный к изменению информационных сигналов при $C = 1$. Чтобы получить такую чувствительность только во время фронта сигнала C , нужно блокировать цепи подачи входных сигналов сразу же после изменения синхросигнала с нулевого значения на единичное. Для достижения этого в представленной выше схеме входные сигналы подаются через элементы 1 и 4, которые и будут блокироваться в указанные моменты времени и сохранять блокировку до возвращения C к нулевому уровню. Нулевое значение C устанавливает единицы на выходах элементов 2 и 3 и приводит фиксатор в режим хранения до нового изменения синхросигнала от нуля к единице. В этом состоянии (при $C = 0$) выходы элементов 1 и 4 дают инверсии входных сигналов, передавая на элементы 2 и 3 значения S и R соответственно.

Что произойдет при поступлении $C = 1$? Если при этом $S = R = 0$, то сохранится режим хранения. Если же имеется единичный входной сигнал, то на входе одного из элементов (2 или 3) все входы окажутся единичными, а его выход – нулевым, что даст сигнал установки выходного триггера (элементы 5 и 6) в нужное состояние и, кроме того, отключит входной сигнал, вызвавший воздействие на схему, и также

предотвратит возможное воздействие на выходной триггер по его второму входу (на элемент б).

Три указанных действия вызываются сигналами логического нуля, подаваемыми по стрелкам 1, 2 и 3. Предполагается, что единичное значение имел вход S ($\bar{S} = 0$).

На основе рассмотренного шестиэлементного триггера строятся триггеры типов D, T и JK с динамическим управлением.

29.11 Взаимные преобразования триггеров

Получение из JK-триггера T-триггера. Схема T-триггера, полученного из JK-триггера, приведена на рисунке 29.22.

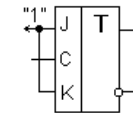


Рисунок 29.22 – Схема T-триггера, полученного из JK-триггера

Получение из JK-триггера D-триггера. На основе JK-триггера можно построить D-триггер, для этого информационный сигнал D подается на K-вход, а на вход J сигнал D подается через инвертор (рисунок 29.23).

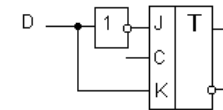


Рисунок 29.23 – Схема D-триггера, полученного из JK-триггера

Получение из D-триггера T-триггера. Схема T-триггера, полученного из D-триггера, приведена на рисунке 29.24.

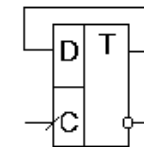


Рисунок 29.24 – Схема T-триггера, полученного из D-триггера

Лекция № 30 РЕГИСТРЫ

30.1 Общее определение регистров

Регистр – это ПЦУ для хранения n -разрядных двоичных слов и выполнения над ними логических преобразований. Регистры имеют регулярную структуру и состоят из цепочки триггеров, для управления которыми используется схема КЦУ. Элементарное действие регистра над двоичным числом называется микрооперацией.

Регистры могут выполнять следующие микрооперации:

- 1) прием слова из ПЦУ;
- 2) передача слова в ПЦУ;
- 3) логические сдвиги;
- 4) преобразование из последовательного кода в параллельный, и наоборот;
- 5) начальная установка или сброс.

Ввиду того, что регистр оперирует со словами информации, его информационные входы и выходы называются входной и выходной шинами соответственно. Для определения выходного состояния регистра используют двоичные и шестнадцатеричные числа, полагая по умолчанию, что младшему разряду соответствует младший выход регистра и т. д. по порядку.

30.2 Классификация регистров

В зависимости от выполняемой функции регистры принято разделять:

- 1) на регистр с параллельным приемом и параллельной выдачей информации (регистр памяти);
- 2) регистр с последовательным приемом и последовательной выдачей информации (сдвиговый регистр);
- 3) регистр с параллельным приемом и последовательной выдачей информации;
- 4) регистр с последовательным приемом и параллельной выдачей информации;
- 5) регистр последовательного приближения.

30.3 Регистр памяти

Регистр памяти – регистр с параллельным приемом и параллельной выдачей информации. Имеет шины с размерностью, кратной 4. Информационные входы регистра памяти принято обозначать буквами D , выходы – Q . У регистра памяти имеется вход стробирования записи (то есть регистр является синхронным).

Регистр памяти предназначен для хранения информации в параллельном виде. УГО регистра памяти приведено на рисунке 30.1, описание работы – в таблице 30.1.

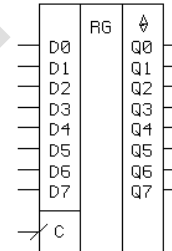


Рисунок 30.1 – УГО регистра памяти

Таблица 30.1 – Таблица истинности регистра памяти

Входы		Выход
C	D_n	Q_n
1	X	Q_n
\	X	Q_n
0	X	Q_n
/	0	0
/	1	1

Сравнивая таблицу 30.1 с таблицей 29.4, легко заметить, что регистр памяти строится на основе совокупности D-триггеров, у которых объединены входы C .

Внутренняя схема регистра памяти приведена на рисунке 30.2.

Параллельные регистры, в свою очередь, делятся на две группы:

- регистры, срабатывающие по фронту управляющего сигнала C (или тактируемые регистры);
- регистры, срабатывающие по уровню управляющего сигнала C (или стробируемые регистры).

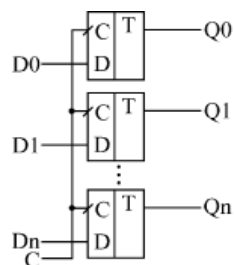
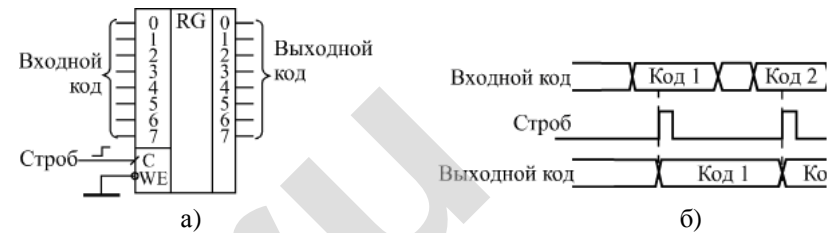


Рисунок 30.2 – Внутренняя структурная схема регистра памяти

Принцип действия регистров, срабатывающих по фронту тактового сигнала, ничем не отличается от принципа действия D-триггера. По одному из фронтов (положительному или отрицательному) тактового сигнала С каждый из выходов регистра устанавливается в тот уровень, который был в этот момент на соответствующем данному выходу входе D, и сохраняется таковым до прихода следующего фронта сигнала С. То есть если триггер запоминает один сигнал (один двоичный разряд, один бит), то регистр запоминает сразу несколько (4, 6, 8, 16) сигналов (несколько разрядов, битов). Память регистра сохраняется до момента выключения питания схемы.

На рисунке 30.3, а показана типичная схема включения регистра для хранения кода, а на рисунке 30.3, б – временная диаграмма его работы. Код на входе регистра может изменяться произвольным образом, но в тот момент, когда этот код принимает необходимое значение, на вход С триггера подается синхросигнал (строб), который записывает код в регистр. Этот код будет храниться в регистре до прихода следующего строба. Причем важно и то, что все разряды выходного кода регистра будут переключаться одновременно даже в том случае, когда разряды входного кода переключаются не одновременно. Главное, чтобы к приходу положительного фронта строба (сигнала С) все разряды входного кода уже приняли нужное, устойчивое значение.

Параллельные регистры, срабатывающие по уровню стробирующего сигнала (или, как их еще называют, регистры-защелки, английское «Latch»), можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе – единичный, такой регистр пропускает через себя входные информационные сигналы, а когда стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из пропущенных значений входных сигналов.

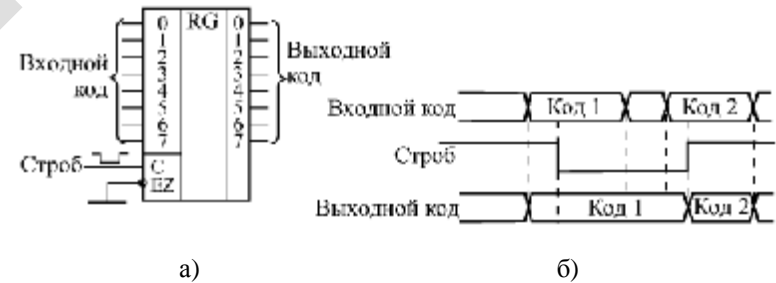


а – схема включения регистра для хранения параллельного кода;
 б – временные диаграммы работы регистра

Рисунок 30.3 – Хранение кода в параллельном регистре

Применение таких регистров сильно ограничено, хотя иногда они довольно удобны. В некоторых схемах они могут успешно заменять регистры, срабатывающие по фронту, а в других схемах их применение вместо регистров, срабатывающих по фронту, недопустимо.

Основное применение регистра, срабатывающего по уровню стробирующего сигнала, состоит в запоминании на какое-то заданное время входного кода, причем в остальное время выходной код регистра должен повторять входной (рисунок 30.4).



а – схема включения регистра; б – временные диаграммы работы регистра

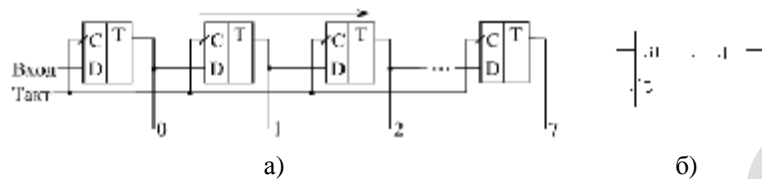
Рисунок 30.4 – Продление длительности входного кода с помощью регистра-зашелки

Стробирующий сигнал С в этом случае должен быть отрицательным на все время запоминания, и запоминаться будет входной код регистра в момент отрицательного (заднего) фронта сигнала С. Подобная функция бывает, например, необходима при построении устройств сопряжения для компьютеров. Регистр, по сути, продлевает во времени необходимое значение входного кода, в остальное время работая как повторитель.

30.4 Регистр сдвига

Регистр сдвига – это регистр с последовательным приёмом и последовательной выдачей информации. Данный регистр имеет один информационный вход и один выход. Все операции в данном регистре осуществляются по сигналу стробирования на входе C (то есть регистр сдвига синхронный). Регистр сдвига, как правило, имеет разрядность, кратную 8. Входом регистра сдвига является вход первого разряда, выходом – выход последнего разряда. Таким образом, состояние выхода регистра сдвига отображает состояние входа, бывшее за n (n – разрядность регистра) тактов сигнала стробирования C до текущего момента времени.

Основное назначение данного регистра – регистр задержки. Информация со входа появляется на выходе с временной задержкой на n периодов сигнала стробирования. Внутренняя структурная схема регистра сдвига приведена на рисунке 30.5, а; УГО на рисунке 30.5, б; временные диаграммы, иллюстрирующие работу регистра сдвига, – на рисунке 30.6.



а – внутренняя структурная схема; б – УГО регистра сдвига

Рисунок 30.5 – Регистр сдвига

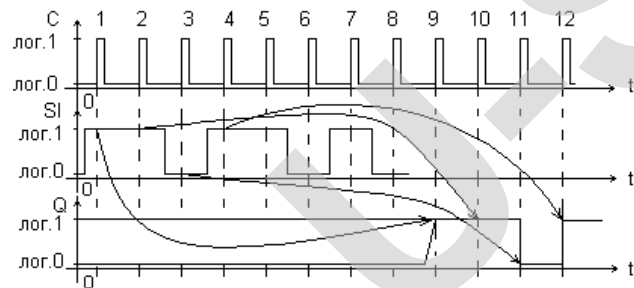


Рисунок 30.6 – Временные диаграммы работы регистра

Регистр сдвига строится на основе последовательно включенных D-триггеров (выход предыдущего разряда соединяется со входом D следующего разряда). Входы C всех регистров объединяются.

Одно из интересных применений сдвигового регистра – это генератор случайной последовательности сигналов или случайной последовательности кодов. Строго говоря, последовательности будут не полностью случайные, а квазислучайные, то есть будут периодически повторяться, но период этот довольно большой. Случайные последовательности сигналов и кодов широко применяются в тестирующей аппаратуре, в генераторах шума, в логических игровых устройствах.

Задача состоит в том, чтобы выходной сигнал или код менял свое состояние случайно (или почти случайно). Сигнал должен случайно переключаться из 0 в 1 и из 1 в 0, а код должен случайно принимать значения из диапазона от 0 до $(2N-1)$, где N – число разрядов кода (например, от 0 до 255 при 8-разрядном коде). Псевдослучайные последовательности имеют то преимущество перед истинно случайными, что они – предсказуемые и периодические, но в этом же и их недостаток.

Структура генератора квазислучайной последовательности на сдвиговом регистре очень проста (рисунок 30.7).

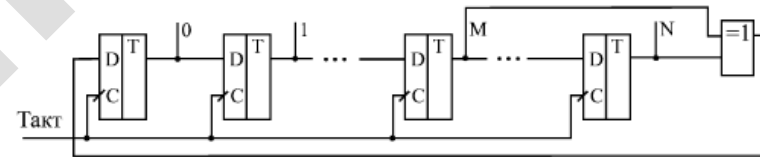


Рисунок 30.7 – Структура генератора псевдослучайной последовательности

Она представляет собой регистр сдвига с параллельными выходами, несколько (минимум два) выходных сигнала которого объединены с помощью элемента Иключающее ИЛИ, с выхода которого сигнал подается на вход регистра, замыкая схему в кольцо. Схема тактируется сигналом с частотой f_T .

Выбор номеров разрядов для подключения обратной связи представляет собой непростую задачу, но существуют справочные таблицы, в которых они приведены. В любом случае одна из точек подключения обратной связи для регистров сдвига с разным количеством разрядов N (номера разрядов считаются от нуля).

Из таблицы видно, что выгоднее брать число разрядов, не кратное 8, например, 7, 15 или 31. В этом случае для обратной связи используются всего лишь два выхода, то есть достаточно одного двухвыходового

элемента Исключающее ИЛИ. Период выходной последовательности генератора составляет $(2N-1)$ тактов, где N – количество разрядов регистра сдвига. За это время каждое из возможных значений выходного кода (кроме одного) встречается один раз. Количество единиц в выходном сигнале больше количества нулей на единицу.

Таблица 30.2 – Точки подключения обратной связи

Разрядность	7	8	15	16	24	31
Выходы	6, 5	7, 6, 4, 2	14, 13	15, 13, 12, 10	23, 22, 21, 16	30, 17

Выходной код 000...0 представляет собой запрещенное состояние, так как он блокирует работу генератора, воспроизводя сам себя снова и снова. Но в то же время получиться такой нулевой код может только сам из себя, поэтому достаточно обеспечить, чтобы его не было при включении питания схемы.

Частоты в спектре выходного сигнала будут следовать с интервалом $(f_T/2N-1)$, а огибающая спектра будет практически постоянной до частоты $0,25f_T$, то есть шум до этой частоты можно считать белым (спад в 3 дБ происходит на частоте $0,45 f_T$).

На рисунке 30.8 показана практическая схема генератора псевдослучайной последовательности на 31-разрядном сдвиговом регистре. Обратная связь осуществляется с выходов 30 и 17 регистра через двухвходовой элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с инвертором.

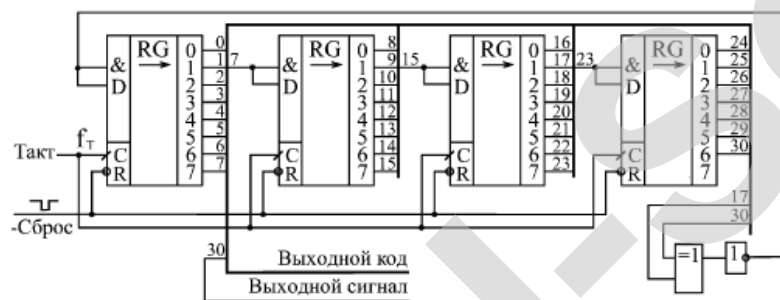


Рисунок 30.8 – 31-разрядный генератор псевдослучайной последовательности на регистрах сдвига

Из-за применения инвертора запрещенным состоянием генератора является код 1111...1 (а не код 000...0), который в данном случае исключается очень просто – начальным сбросом регистров в нуль при

включении питания по сигналу Сброс. Генератор выдает квазислучайную последовательность 31-разрядных кодов со всех выходов регистра, а также квазислучайную последовательность нулей и единиц на любом из выходов регистра. Такой генератор использовала известная фирма Hewlett-Packard в своем генераторе шума.

30.5 Регистр с параллельным приемом и последовательной выдачей информации

Регистр с параллельным приемом и последовательной выдачей информации – это регистр, предназначенный для преобразования информации из параллельного представления в последовательное. Операция преобразования выполняется поэтапно: сначала производится запись параллельной информации в регистр, затем осуществляется сдвиг. Различают регистры со сдвигом влево и вправо. При сдвиге влево первым на выходе появляется старший разряд. При сдвиге вправо – младший разряд. При выполнении сдвига в младший разряд (при сдвиге влево) или в старший разряд (при сдвиге вправо) задвигается константное значение (лог. 0 или лог. 1). УГО регистра с параллельным приемом и последовательной выдачей информации приведено на рисунке 30.9.

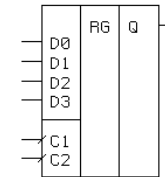


Рисунок 30.9 – УГО регистра с параллельным приемом и последовательной выдачей информации

Вход *C1* используется для стробирования записи параллельной информации, вход *C2* – для стробирования сдвига.

30.6 Регистр с последовательным приемом и параллельной выдачей информации

Регистр с последовательным приемом и параллельной выдачей информации – это регистр, предназначенный для преобразования информации из последовательного представления в параллельное. УГО регистра с последовательным приемом и параллельной выдачей информации приведено на рисунке 30.10.

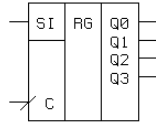


Рисунок 30.10 – УГО регистра с последовательным приемом и параллельной выдачей информации

При наличии стробирующего сигнала на входе *C* информация на выходной шине регистра сдвигается, а значение со входа *SI* задвигается в младший разряд (при сдвиге влево) или в старший разряд (при сдвиге вправо) выходной шины. Временные диаграммы, поясняющие работу данного регистра при сдвиге влево, приведены на рисунке 30.11.

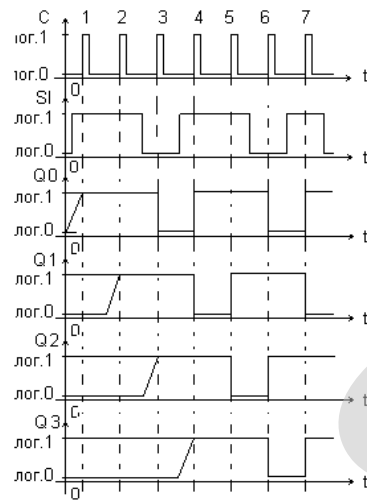


Рисунок 30.11 – Временные диаграммы работы регистра с последовательным приемом и параллельной выдачей информации

Главное применение регистров с параллельным приемом информации и последовательной выдачей (и наоборот) состоит в преобразовании параллельного кода в последовательный, и наоборот. Такое преобразование используется, например, при передаче информации на большие расстояния (в информационных сетях), при записи информации на магнитные носители, при работе с телевизионными мониторами и с видеокамерами, а также во многих других случаях.

Для примера на рисунке 30.12 показана простейшая схема передачи цифровой информации в последовательном коде по двум линиям: информационной и синхронизирующей. Такая передача позволяет сократить количество соединительных проводов, а также упростить защиту передаваемых данных от действия внешних электромагнитных помех, правда, ценой снижения скорости передачи.

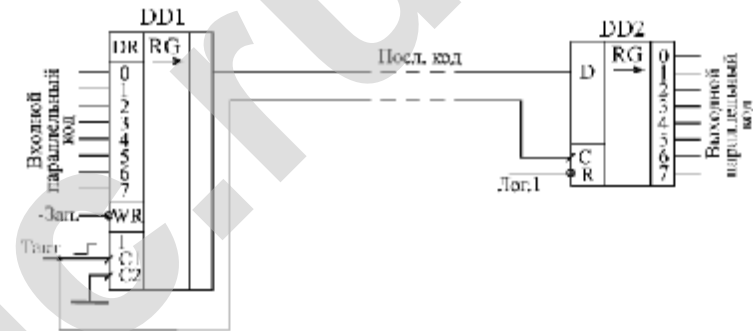


Рисунок 30.12 – Последовательная передача информации с помощью регистров

На передающем конце (слева на рисунке 30.12) с помощью регистра с параллельным приемом информации и с ее последовательной выдачей DD1 входной параллельный 8-разрядный код преобразуется в последовательность разрядов данных, следующих с частотой тактового сигнала. На приемном конце (справа на рисунке 30.12) с помощью регистра с последовательным приемом информации и параллельной выдачей DD2 эта последовательность разрядов данных снова преобразуется в параллельный код. Оба регистра тактируются одним и тем же тактовым сигналом, который передается по линии связи параллельно с последовательностью данных.

Первый бит последовательного входа (со входа 7 регистра DD1) начинает передаваться с началом сигнала записи – Зап. Следующие разряды передаются с каждым следующим положительным фронтом тактового сигнала С. Последним передается сигнал со входа 0. В регистр DD2 разряды последовательного кода записываются в том же самом порядке, в каком они были в регистре DD1. По окончании передачи первый переданный сигнал данных окажется в разряде 7 шины данных регистра DD2, а последний переданный сигнал данных – в разряде 0.

30.7 Универсальный регистр

Универсальный регистр включает в себя все вышеперечисленные (см. пункты 30.3–30.6) типы регистров. Настройка универсального регистра на конкретный режим работы определяется с помощью специальных управляющих входов.

30.8 Регистр последовательного приближения

Регистр последовательного приближения (РПП) реализует метод «взвешивания» и используется для построения аналого-цифровых преобразователей последовательного приближения. УГО РПП приведено на рисунке 30.13.

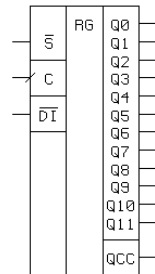


Рисунок 30.13 – УГО регистра РПП

Регистр последовательного приближения имеет следующие входы: C – вход общей синхронизации; \bar{S} – вход старта преобразования; \overline{DI} – инверсный вход результатов сравнения (то есть перед выполнением сравнения сигнал со входа \overline{DI} инвертируется).

Выходы $Q0$ – $Q11$ содержат результат работы РПП. Выход QCC предназначен для сигнализации о конце преобразования.

Алгоритм работы РПП. Для нормальной работы РПП на входе C должен присутствовать периодический сигнал стробирования.

1. Начало преобразования происходит при появлении активного сигнала на входе \bar{S} . Длительность сигнала на входе \bar{S} не менее двух активных сигналов на входе C . При активном сигнале \bar{S} происходит подготовка РПП к работе (в частности, устанавливаются в лог. 1 все выходы Q), при снятии сигнала \bar{S} начинается преобразование.

2. Процесс преобразования синхронен с активным сигналом на входе C (то есть все шаги преобразования совпадают с передним фронтом сигнала C).

3. При первом сигнале стробирования после снятия сигнала \bar{S} , РПП сбрасывает в лог.0 состояние выхода $Q11$.

4. На следующем шаге РПП проводит анализ состояния входа результатов сравнения \overline{DI} . При лог. 0 на входе \overline{DI} , лог. 0 на выходе $Q11$ остаётся, при лог. 1 – выход $Q11$ устанавливается в лог. 1. Одновременно выход $Q10$ сбрасывается в лог. 0.

5. При следующем стробирующем сигнале на входе C , анализ состояния входа \overline{DI} проводится для выхода $Q10$, а лог. 0 подается на следующий, более младший выход $Q9$.

6. Процесс анализа состояния входа \overline{DI} с принятием решения о состоянии соответствующего выхода продолжается последовательно для всех выходов Q , от старшего к младшему.

7. После принятия решения о состоянии самого младшего выхода ($Q0$) процесс преобразования заканчивается. Факт окончания преобразования подтверждается сбросом в лог. 0 выхода QCC .

Как уже говорилось, основное же назначение регистра РПП – построение аналого-цифровых преобразователей (АЦП). Одна из возможных схем АЦП приведена на рисунке 30.14.

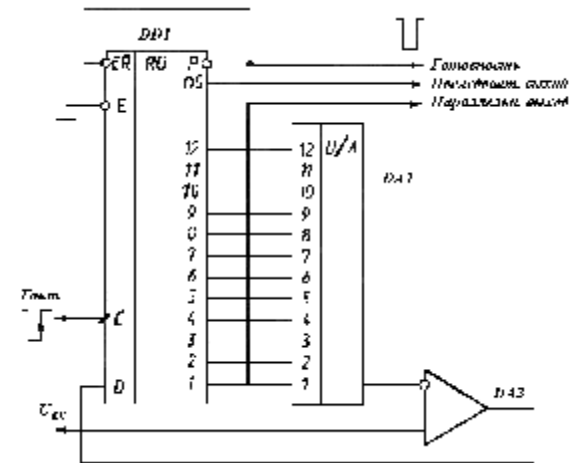


Рисунок 30.14 – Аналого-цифровой преобразователь на основе РПП

К выходам Q0–Q11 микросхемы подключен цифро-аналоговый преобразователь (ЦАП) DA1, старший разряд – 12, младший – 1. Компаратор DA2 сравнивает выходное напряжение ЦАП и преобразуемое в код входное напряжение.

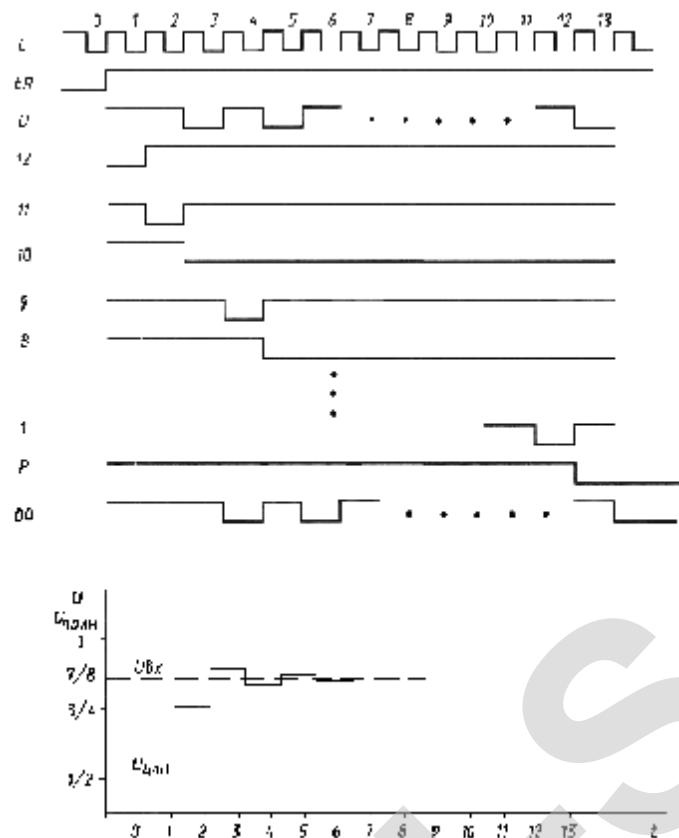


Рисунок 30.15 – Временные диаграммы, поясняющие работу РПП

Работает АЦП следующим образом. Тактовый импульс 0 устанавливает, как уже указывалось, выход 12 микросхемы DD1 в лог. 0, остальные выходы – в лог. 1. В результате на вход ЦАП подается код 0111...1, на его выходе формируется напряжение, равное половине

преобразуемого диапазона входных напряжений. Компаратор DA2 сравнивает его с входным, и если входное напряжение превышает напряжение с выхода ЦАП, как это показано на нижней диаграмме рисунок 29.15, на его выходе появляется лог. 1. Тактовым импульсом 1 лог. 1 записывается в триггер микросхемы с выходом 12, это состояние триггера сохраняется до конца преобразования (диаграмма 12 рисунок 30.15). Если входное напряжение меньше половины диапазона преобразователя, в триггер с выходом 12 запишется лог. 0.

По окончании тактового импульса 1 на выходе 11 микросхемы DD1 появится лог. 0 и на ЦАП будет подан код 10111...1 (для примера, показанного на рисунке 30.15). В результате входное напряжение будет сравниваться с $3/4$ преобразуемого диапазона входных напряжений. Если, как показано на рисунке 30.15, входное напряжение больше, чем $3/4$ диапазона, в триггер с выходом 11 будет записана лог. 1, в противном случае – лог. 0. Для описываемого примера в триггер регистра с выходом 11 импульс 2 запишет лог. 1 и на ЦАП будет подан код 11011...1. В результате входное напряжение будет сравниваться с $1/2 + 1/4 + 1/8 = 7/8$ полного диапазона, если оно меньше, в триггер с выходом 10 запишется лог. 0. По окончании такта 12 на выходах 12–1 микросхемы образуется двоичный двенадцатиразрядный код преобразованного напряжения, для данного случая 110101...1. Лог. 0 на выходе Р сигнализирует об окончании преобразования и может быть использован для переписи сформированного кода в регистр хранения.

Микросхемы, содержащие регистры, кодируются буквами ИР.

Лекция № 31 СЧЕТЧИКИ

31.1 Общее определение счетчиков

Счетчик – это ПЦУ, которое хранит двоичное число и выполняет над ним микрооперацию счета. Под микрооперацией счета понимается увеличение числа, хранящегося в счетчике на 1 или его уменьшение на 1. Максимально возможное число импульсов, которое может сосчитать счетчик, называется модулем счета K_c .

Если модуль счета определяется по формуле $K_c = 2^N$, где N – положительное целое число, то счетчик называют двоичным, а N –

разрядность счетчика. Процесс перехода от максимального к минимальному значению для суммирующих счетчиков и от минимального к максимальному для вычитающих называется переполнением.

31.2 Классификация счетчиков

По направлению счета:

- 1) суммирующие (прямого счета);
- 2) вычитающие (обратного счета);
- 3) реверсивные (с изменением направления счета).

По значению модуля счета:

- 1) двоичные ($Kc=2^N$);
- 2) двоично-десятичные ($Kc=10^N$);
- 3) счетчики с переменным модулем счета и др.;
- 4) счетчики с одинарным кодированием (состояние счетчика определяется местом расположения единственной единицы);
- 5) счетчики с унитарным кодированием (состояние счетчика представляется числом единиц в коде).

По способу организации межразрядных связей:

- 1) с последовательным переносом;
- 2) с параллельным переносом;
- 3) с комбинированным переносом.

По принадлежности к тому или иному классу автоматов:

- 1) асинхронные счетчики;
- 2) синхронные счетчики с асинхронным переносом (или параллельные счетчики с последовательным переносом, синхронно-асинхронные счетчики);
- 3) синхронные счетчики (или параллельные).

Быстродействие счетчиков характеризуется:

- 1) временем установления кода, отсчитываемым от начала входного сигнала до момента установления нового состояния;
- 2) временем распространения переноса (от начала входного сигнала до начала выходного, вызванного данным входным);
- 3) максимальной частотой входных импульсов f_{max} , тогда $1/f_{max}$ – минимальное время между двумя соседними импульсами, при котором в счетчике не происходит сбоя;
- 4) минимальной длительностью единичного и нулевого полутакта входного сигнала.

Для счетчика возможны следующие режимы работы:

- 1) регистрация числа поступивших на счетчик сигналов;
- 2) деление частоты.

В первом режиме результат – содержимое счетчика, во втором режиме выходными сигналами являются импульсы переполнения счетчика.

Как и любой автомат, счетчик можно строить на триггерах любого типа, однако удобнее всего использовать для этого триггеры типа Т (счетные) и JK, имеющие при $J = K = 1$ счетный режим.

Большинство счетчиков работают в обычном двоичном коде, то есть считают от 0 до $(2N-1)$, где N – число разрядов выходного кода счетчика. Например, 4-разрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111), а 8-разрядный – от 0 (код 0000 0000) до 255 (код 1111 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счет инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду 111...1.

Имеются также двоично-десятичные счетчики, предельный код на выходе которых не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов. Например, 4-разрядный двоично-десятичный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9. А 8-разрядный двоично-десятичный счетчик будет считать от 0 (код 0000 0000) до 99 (код 1001 1001). При инверсном счете двоично-десятичные счетчики считают до нуля, а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 – для 4-разрядного счетчика, 99 – для 8-разрядного счетчика). Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода. Применяются они реже обычных двоичных счетчиков.

31.3 Асинхронные счетчики

Асинхронные счетчики строятся из простой цепочки Т-триггеров или JK-триггеров, каждый из которых работает в счетном режиме. Для получения суммирующего счетчика берутся Т-триггеры с переключением по спаду (рисунок 31.1), для получения вычитающего счетчика – с переключением по фронту (рисунок 31.2). Выходной сигнал каждого триггера служит входным сигналом для следующего триггера. Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название – последовательные счетчики), один за

другим, начиная с младшего и кончая старшим. Каждый следующий разряд переключается с задержкой относительно предыдущего (рисунок 31.3), то есть, вообще говоря, асинхронно, не одновременно с входным сигналом и с другими разрядами.

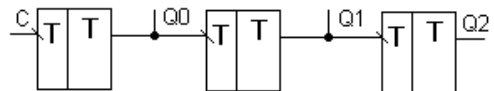


Рисунок 31.1 – Структурная схема суммирующего счетчика

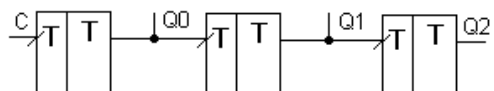


Рисунок 31.2 – Структурная схема вычитающего счетчика

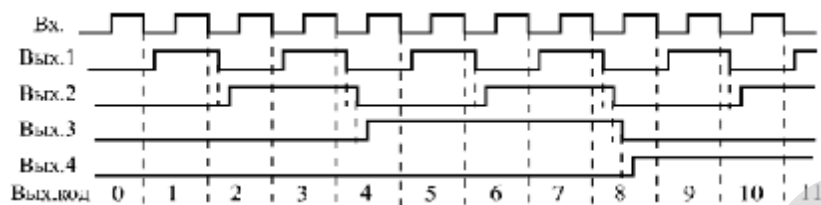


Рисунок 31.3 – Временная диаграмма работы 4-разрядного асинхронного суммирующего счетчика

Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов. Задержка переключения каждого разряда примерно равна задержке триггера, а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика. Легко заметить, что при периоде входного сигнала, меньшем полной задержки установления кода счетчика, правильный код на выходе счетчика просто не успеет установиться, поэтому такая ситуация не имеет смысла. Это накладывает жесткие ограничения на период (частоту) входного сигнала, причем увеличение, к примеру, вдвое количества разрядов счетчика автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

Таким образом, если нам нужен выходной код асинхронного счетчика, то есть все его выходные сигналы (разряды) одновременно,

то должно выполняться следующее неравенство: $T > N t_z$, где T – период входного сигнала, N – число разрядов счетчика, t_z – время задержки одного разряда.

Основное применение асинхронных счетчиков состоит в построении всевозможных делителей частоты, то есть устройств, выдающих выходной сигнал с частотой, в несколько раз меньшей, чем частота входного сигнала. В данном случае нас интересует не выходной код счетчика, то есть не все его разряды одновременно, а только один разряд, поэтому взаимные задержки отдельных разрядов не играют роли, полная задержка переключения счетчика не имеет значения. Простейший пример делителя частоты на два – это триггер в счетном режиме или счетчик, выходным сигналом которого является выход первого, младшего разряда.

31.4 Построение счетчиков с произвольным модулем счета

На практике часто требуется строить счетчики с произвольными модулями счета. Наиболее распространён модуль счета, равный 10.

Счётчики с модулем счета 10 называются двоично-десятичными.

Построение счетчиков с произвольными модулями счета базируется на исключении лишних состояний двоичного счетчика.

Для исключения лишних состояний двоичного счетчика можно воспользоваться дополнительной схемой. Для этого необходимо взять счётчик со статическим входом C и разрядностью N , чтобы выполнялось условие: $2^{N-1} < K_c < 2^N$.

Счетчик должен иметь вход сброса в нулевое состояние.

Схема строится по следующим правилам:

- 1) находится двоичное число модуля счета;
- 2) берётся элемент И с количеством входов, равным количеству единиц в двоичном числе модуля счета;
- 3) к каждому входу элемента И подключается тот выход счетчика, который соответствует разряду с лог. 1 в двоичном числе модуля счета;
- 4) к выходу элемента И подключают вход S RS-триггера с прямыми входами;
- 5) выход триггера подключают на вход сброса счетчика. Если вход сброса активен при лог. 1, то к нему подключают прямой выход триггера, если вход сброса инверсный, то к нему подключают инверсный выход триггера;
- 6) вход R RS-триггера соединяют со входом C двоичного счетчика. Если вход C активен при лог. 0, то через инвертор.

Схема счетчика с модулем счета $K_c=10$ приведена на рисунке 31.4.

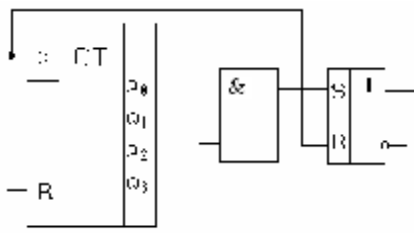


Рисунок 31.4 – Схема исключения лишних состояний счетчика

Если в числе, на которое надо делить частоту, больше двух единиц (например, 15, то есть 1111, или 13, то есть 1101), то для формирования сигнала сброса надо использовать элементы 2И, 3И или 4И, чтобы объединить все выходы, равные единице. В результате можно построить делитель входной частоты в любое число раз от 2 до $2N$, где N – число разрядов используемого счетчика. Правда, при организации обратных связей надо учитывать ограничение на быстродействие счетчика. Все разряды, используемые для обратной связи, должны успеть переключиться за один период входного сигнала. Скважность выходного сигнала может принимать в данном случае самые разные значения, например, выходной сигнал может представлять собой очень короткие импульсы.

На асинхронных счетчиках можно строить также **управляемые делители частоты**, то есть такие делители, выходная частота которых определяется управляющим кодом. На рисунке 31.5 показан делитель на $2n$, где n – целое.

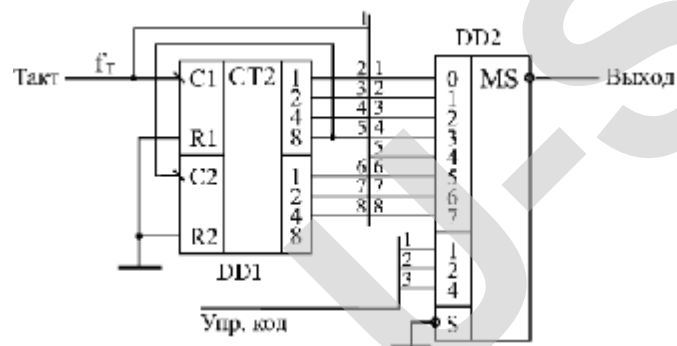


Рисунок 31.5 – Управляемый делитель частоты на асинхронном счетчике

Восьмиразрядный счетчик DD1 работает по входному сигналу с тактовой частотой f_T , а выходной 8-входовый мультиплексор DD2 передает на выход схемы один из 7 разрядов счетчика или же входной сигнал. Выбор номера канала производится входным управляющим 3-разрядным кодом. Например, при тактовой частоте $f_T = 10$ МГц, то есть при периоде входного сигнала 100 нс период выходного сигнала может составлять 100 нс, 200 нс, 400 нс, 800 нс, 1,6 мкс, 3,2 мкс, 6,4 мкс, 12,8 мкс.

В момент переключения управляющего кода на выходе схемы могут появиться нежелательные короткие импульсы, так как никакой синхронизации управляющего кода не предусмотрено. Поэтому схема должна работать так: сначала задается входной управляющий код, а уже потом разрешается работа той схемы, на которую поступает выходной сигнал, сформированный нашей схемой. В этом случае никаких проблем не будет. Не играют роли в данном случае и задержки переключения разрядов счетчика, так как всегда используется только один его разряд. Главное, чтобы с частотой f_T переключался первый разряд счетчика.

Конечно, применение асинхронных счетчиков не ограничивается только делителями частоты. В случаях, когда высокого быстродействия не требуется, когда переходные процессы на выходах счетчика не имеют значения (при правильной синхронизации), асинхронные счетчики вполне могут заменить более быстрые синхронные счетчики. Доля таких задач составляет около 20 % от общего числа.

Если же включить на выходе асинхронного счетчика выходной параллельный регистр (рисунок 31.6), то можно обеспечить одновременное переключение всех выходных разрядов счетчика.

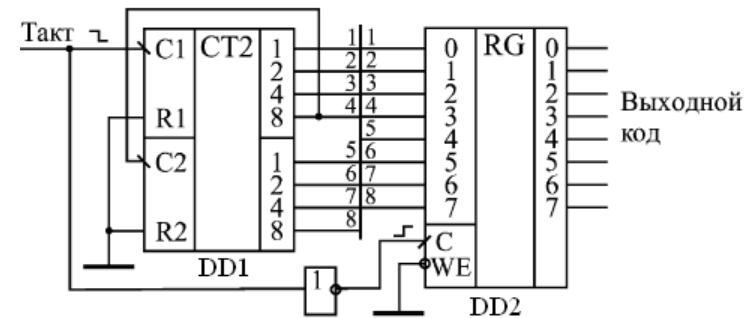


Рисунок 31.6 – Включение выходного регистра для одновременного переключения разрядов выходного кода

Данная схема будет работать правильно, если период следования входных тактовых импульсов будет больше, чем время установления всех разрядов счетчика (в нашем случае – 8-разрядного счетчика DD1). Инвертор необходим, так как счетчик срабатывает по отрицательному фронту входного сигнала, а регистр DD2 – по положительному фронту. Данное решение устраняет главный недостаток асинхронного счетчика – неодновременность установления его выходных разрядов. Однако второй недостаток – большая задержка установления выходного кода – сохраняется. Его устранить невозможно, можно только перейти на другие, более быстрые счетчики.

31.5 Синхронные счетчики с асинхронным переносом

Синхронные (или параллельные) счетчики характеризуются тем, что все их разряды в пределах одной микросхемы переключаются одновременно, параллельно. Это достигается существенным усложнением внутренней структуры микросхемы по сравнению с простыми асинхронными счетчиками. В результате полная задержка переключения синхронного счетчика примерно равна задержке одного триггера, то есть синхронные счетчики гораздо быстрее асинхронных, причем их быстродействие не падает с ростом количества разрядов выходного кода (конечно, до определенных пределов).

Управление работой синхронного счетчика гораздо сложнее, чем в случае асинхронного счетчика, а количество разрядов синхронных счетчиков обычно не превышает четырех. Поэтому синхронные счетчики не всегда могут успешно конкурировать с асинхронными, особенно при невысоких требованиях к быстродействию. Зато и возможностей у синхронных счетчиков, как правило, гораздо больше, чем у асинхронных, например, они обеспечивают параллельную запись информации в счетчик и инверсный режим счета.

Для объединения нескольких синхронных счетчиков с целью увеличения числа их разрядов (для каскадирования) используется специальный выходной сигнал переноса. В зависимости от принципов формирования этого сигнала и от принципов его использования синхронные (параллельные) счетчики делятся:

- 1) на счетчики с асинхронным (последовательным) переносом;
- 2) счетчики с синхронным (параллельным) переносом (или полностью синхронные счетчики).

Синхронные счетчики с асинхронным переносом занимают промежуточное положение по быстродействию между асинхронными счетчиками и полностью синхронными счетчиками. Управление их

работой проще, чем у синхронных счетчиков, но сложнее, чем у асинхронных. Работают данные счетчики по положительному фронту входного сигнала (или, что то же самое, по заднему фронту отрицательного сигнала). Основная суть их работы сводится к следующему: все разряды одного счетчика переключаются одновременно, но при каскадировании каждый следующий счетчик (дающий более старшие разряды) переключается с задержкой относительно предыдущего счетчика (дающего более младшие разряды). То есть задержка переключения многоразрядного счетчика увеличивается в данном случае не с каждым новым разрядом (как у асинхронных счетчиков), а с каждой новой микросхемой (например, 4-разрядной).

Сигнал переноса у этих счетчиков при прямом счете вырабатывается тогда, когда все разряды равны единице (достигнут максимальный код) и когда приходит входной сигнал. Поэтому сигнал переноса, повторяющий входной сигнал, будет задержан относительно входного сигнала. И именно этот сигнал переноса используется в качестве входного для следующего счетчика при каскадировании. То есть входной сигнал второго счетчика задержан относительно входного сигнала первого счетчика, входной сигнал третьего счетчика задержан относительно входного сигнала второго счетчика и т.д.

Временная диаграмма 4-разрядного синхронного счетчика с асинхронным переносом показана на рисунке 31.7. Из рисунка видно, что разряды переключаются одновременно по положительному фронту входного сигнала (с некоторой задержкой), а отрицательный сигнал переноса также задержан относительно входного отрицательного импульса. Понятно, что переключение разрядов счетчика, работающего с этим сигналом переноса в качестве входного, будет происходить с дополнительной задержкой относительно переключения разрядов данного счетчика.

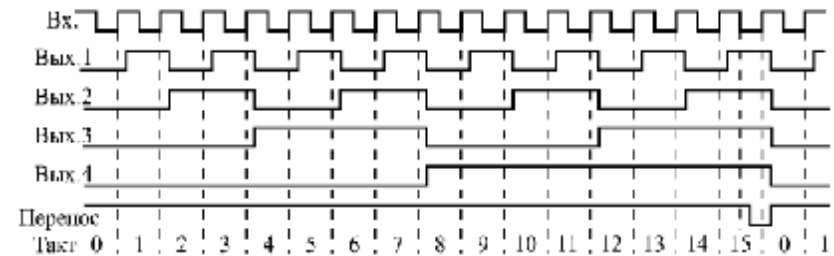


Рисунок 31.7 – Временная диаграмма работы синхронного счетчика с асинхронным переносом

Рассмотрим синхронный счетчик с асинхронным переносом, показанный на рисунке 31.8.

Принцип работы синхронного счетчика с асинхронным переносом счетчика заключается в следующем. На входе каждого триггера (кроме самого первого) включен элемент И. Входной сигнал +1 поступает параллельно на все элементы И и там, где они открыты, вызывает одновременное переключение соответствующих триггеров. На вход каждого элемента И, кроме входного сигнала, поданы выходы всех триггеров младше данного разряда. Таким образом, при подаче сигнала +1 на вход X изменяют свое состояние все те триггеры, перед которыми все более младшие триггеры находились в состоянии лог. 1.

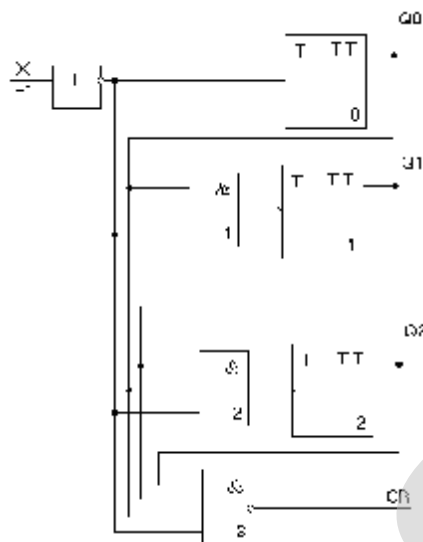


Рисунок 31.8 – Внутренняя структурная схема синхронного счетчика с асинхронным переносом

Импульс выходного переноса формируется элементом «И» переноса 3, который открывается, когда счетчик находится в состоянии *все единицы*, и пропускает на выход CR тот самый входной импульс, который сбрасывает весь счетчик в ноль.

В данной схеме все триггеры начинают переключаться почти одновременно в пределах разброса времени задержки входных конъюнкторов (элементов И) триггеров. В результате время работы всего счетчика заметно уменьшается и при этом не зависит от числа разрядов счетчика.

$$t_{\text{ЗАДЕРЖКИ}} = t_{\text{ЗАДЕРЖКИ КОНЬЮНКТОРА}} + t_{\text{ЗАДЕРЖКИ Т-ТРИГГЕРА}}$$

Недостаток: счетчик не безразличен к фронтам и длительности входных импульсов. От зауженных импульсов или от короткой паузы между ними часть триггеров может сработать, а часть нет, и код в счетчике может быть искажен как угодно.

Объединение синхронных счетчиков с асинхронным переносом для увеличения разрядности (каскадирование) очень просто: нужно выходы переноса младших счетчиков (дающих младшие разряды выходного кода) соединить со счетными входами старших счетчиков (дающих старшие разряды выходного кода). На рисунке 31.9 показана организация 12-разрядного счетчика на трех микросхемах синхронных счетчиков. Эти счетчики могут считать как на увеличение (прямой счет), так и на уменьшение (обратный счет). Возможны также сброс и параллельная запись в счетчики входного кода. Разряды каждого следующего счетчика будут переключаться одновременно, но с задержкой относительно переключения разрядов предыдущего счетчика.

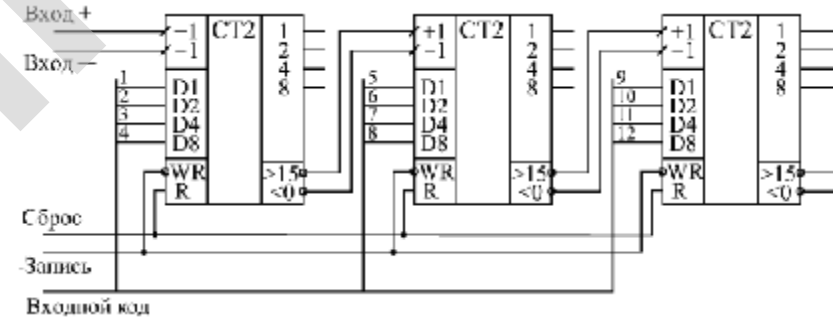


Рисунок 31.9 – Объединение синхронных счетчиков с асинхронным переносом для увеличения разрядности

Если нужно использовать все выходные разряды многоразрядного счетчика одновременно (как единый код), то необходимо выполнение следующего условия:

$$T > (N - 1) \cdot t_{3П} + t_{3С},$$

где T – период входного сигнала;

N – число объединенных микросхем счетчиков;

$t_{3П}$ – время задержки переноса одного счетчика;

$t_{3С}$ – время задержки счета (переключения выходного кода) одного счетчика.

31.6 Синхронные счетчики

Синхронные (или параллельные) счетчики представляют собой наиболее быстродействующую разновидность счетчиков. Нарастивание их разрядности при соблюдении определенных условий не приводит к увеличению полной задержки срабатывания. То есть можно считать, что именно синхронные счетчики работают как идеальные счетчики, все разряды которых срабатывают одновременно, параллельно. Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера. Достигается такое быстродействие существенным усложнением внутренней структуры микросхемы.

Вместе с тем недостатком синхронных счетчиков является более сложное управление их работой по сравнению с асинхронными счетчиками и с синхронными счетчиками с асинхронным переносом. Поэтому синхронные счетчики целесообразно применять только в тех случаях, когда действительно требуется очень высокое быстродействие, очень высокая скорость переключения разрядов. Иначе усложнение схемы управления может быть не оправдано.

Временная диаграмма работы синхронного счетчика (рисунок 31.10) отличается от временной диаграммы синхронного счетчика с асинхронным переносом способом формирования сигнала переноса, используемого при каскадировании счетчиков для увеличения разрядности. Сигнал переноса CR (от английского «Carry») вырабатывается в данном случае тогда, когда все выходы счетчика устанавливаются в единицу (при прямом счете) или в нуль (при обратном, инверсном счете). Входной тактовый сигнал в образовании сигнала переноса при этом не участвует.

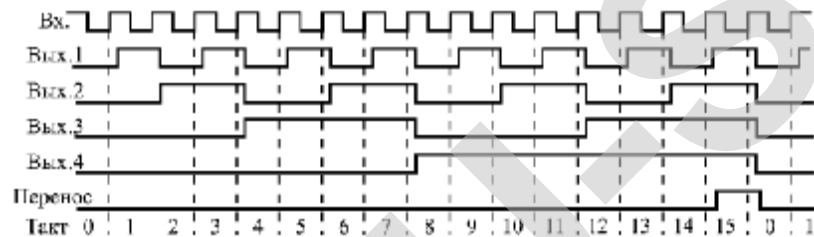


Рисунок 31.10 – Временная диаграмма работы синхронных двоичных счетчиков

При каскадировании (совместном включении для увеличения разрядности), например, двух счетчиков тактовые входы С обоих счетчиков объединяются, а сигнал переноса первого счетчика подается на

вход разрешения счета (ЕСТ) второго счетчика (рисунок 31.11). В результате второй счетчик будет считать каждый шестнадцатый входной тактовый импульс (так как он будет срабатывать только при переносе от первого счетчика). Выходные сигналы второго счетчика будут переключаться по фронту общего тактового сигнала одновременно с выходными сигналами первого счетчика. Условием правильной работы будет в данном случае следующее: за период тактового сигнала должен успеть выработаться сигнал переноса первого счетчика.

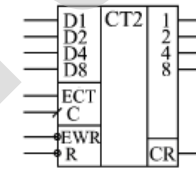


Рисунок 31.11 – Типичное УГО синхронного счетчика

В отличие от других типов счетчиков, синхронные счетчики можно соединять различными способами, причем способ соединения различен для разного количества микросхем.

При объединении двух счетчиков (рисунок 31.12) никаких проблем не возникает: выход переноса – CR младшего счетчика соединяется со входом разрешения счета старшего счетчика – ЕСТ. Условие правильной работы будет простым и легко выполнимым: период тактового сигнала С не должен быть меньше, чем задержка выработки сигнала переноса CR.

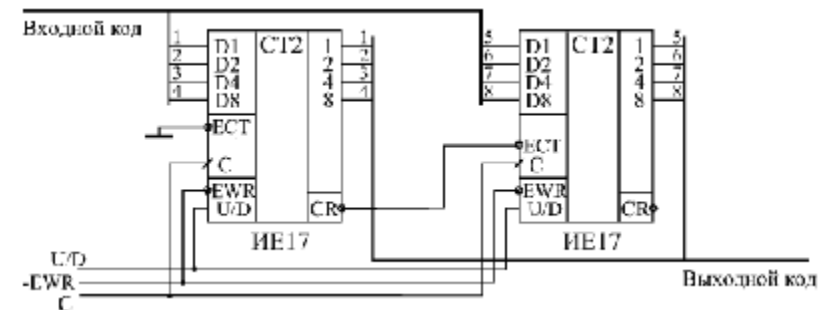


Рисунок 31.12 – Объединение двух счетчиков HE17

При необходимости объединения большого количества счетчиков можно избежать накопления суммарной задержки переноса, включив на входах ЕСТ старших счетчиков – логические элементы ИЛИ с нужным числом входов. Эти элементы должны собирать все сигналы переноса с более младших счетчиков, то есть на их выходах должен быть нуль тогда, когда сигналы – CR всех предыдущих счетчиков нулевые. При этом, правда, в суммарную задержку переноса, которая не должна превышать периода тактового сигнала С, войдут задержки этих самых элементов ИЛИ.

Микросхемы, содержащие счетчик, кодируются буквами ИЕ.

Литература

1. **Гусев, В.Г.** Электроника [Текст] / В.Г. Гусев, Ю.М. Гусев. – М.: Высшая школа, 1991. – 622 с.
2. **Волощенко, Ю.В.** Основы радиоэлектроники [Текст]: учебное пособие / Ю.В. Волощенко [и др.]; под ред. Г.Д. Петрухина. – М.: МАИ, 1993. – 416 с.
3. **Хоровиц, П.** Искусство схемотехники [Текст] / П. Хоровиц, У. Хилл: В 2-х т. Т.1; пер. с английского. – М.: Мир, 1986. – 598 с.
4. **Пасынков, В.В.** Полупроводниковые приборы [Текст]: учебник для вузов / В.В. Пасынков [и др.]. – М.: Высшая школа, 1981. – 431 с.
5. **Игумнов, Д.В.** Основы микроэлектроники [Текст] / Д.В. Игумнов, Г.В. Королев, И.С. Громов. – М.: Высшая школа, 1991. – 254 с.
6. **Ишанин, Г.Г.** Источники и приемники излучения [Текст]: учебное пособие / Г.Г. Ишанин [и др.]. – СПб.: Политехника, 1991. – 240 с.
7. **Кауфман М.** Практическое руководство по расчетам схем в электронике [Текст]: справочник. В 2-х т. Т.1; пер. с англ. / М. Кауфман, А.Г. Сидман. – М.: Энергоатомиздат, 1991. – 368 с.
8. **Изьюрова, Г.И.** Расчет электронных схем. Примеры и задачи [Текст]: учебное пособие для вузов / Г.И. Изъюрова [и др.]. – М.: Высшая школа, 1987. – 335 с.
9. **Угрюмов, Е.П.** Цифровая схемотехника [Текст] / Е.П. Угрюмов. – СПб.: БХВ-Петербург, 2004. – 528 с.: ил.
10. **Шило, В.Л.** Популярныe цифровые микросхемы [Текст]: справочник / В.Л. Шило. – М.: Радио и связь, 1987. – 352 с.: ил.
11. **Евреинов, Е.В.** Цифровая и вычислительная техника [Текст]: учебник для вузов / Э.В. Евреинов [и др.]; под ред. Э.В. Евреинова. – М.: Радио и связь, 1991. – 464 с.: ил.
12. **Новиков, Ю.В.** Введение в цифровую схемотехнику [Текст] / Ю.В. Новиков. – Интернет-университет информационных технологий, Бином. Лаборатория знаний, 2007 г.

СОДЕРЖАНИЕ

Лекция № 1. ВВЕДЕНИЕ	3
Лекция № 2. ПАССИВНЫЕ ЭЛЕМЕНТЫ ЭЛЕКТРИЧЕСКИХ ЦЕПЕЙ. РЕЗИСТОРЫ	9
2.1 Классификация резисторов.....	9
2.2 Старение резисторов.....	12
2.3 Номинальные сопротивления.....	12
2.4 Система обозначений.....	13
2.5 Кодированное обозначение.....	13
2.6 Основные параметры резисторов.....	15
2.7 Терморезисторы.....	16
2.8 Варисторы.....	17
2.9 Обозначения резисторов.....	17
Лекция № 3. ПАССИВНЫЕ ЭЛЕМЕНТЫ ЭЛЕКТРИЧЕСКИХ ЦЕПЕЙ. КОНДЕНСАТОРЫ	17
3.1 Классификация. Система условных обозначений.....	18
3.2 Номинальные емкости.....	20
3.3 Номинальные напряжения и токи.....	20
3.4 Тангенс угла диэлектрических потерь.....	20
3.5 Эксплуатационная надежность.....	20
Лекция № 4. КАТУШКИ ИНДУКТИВНОСТИ. ТРАНСФОРМАТОРЫ И ДРОССЕЛИ	21
4.1 Катушки индуктивности.....	21
4.2 Трансформаторы, дроссели.....	25
4.3 Параметры трансформаторов.....	25
4.4 Маркировка трансформаторов.....	26
4.5 Пьезотрансформаторы.....	26
Лекция № 5. ЭЛЕКТРОННО-ДЫРОЧНЫЕ ПЕРЕХОДЫ	27
5.1 Образование электронно-дырочного перехода. Электронно-дырочный переход в состоянии равновесия.....	27
5.2 Электронно-дырочный переход при подключении внешнего напряжения.....	30
5.3 Вольт-амперная характеристика электронно-дырочного перехода.....	33
5.4 Пробой электронно-дырочного перехода.....	34
5.5 Емкости электронно-дырочного перехода.....	35
Лекция № 6. ПОЛУПРОВОДНИКОВЫЕ ДИОДЫ	37
6.1 Вольт-амперная характеристика диода.....	37
6.2 Влияние температуры на ВАХ диода.....	39

6.3 Основные типы диодов.....	40
6.3.1 Выпрямительные диоды.....	40
6.3.2 Стабилитроны.....	40
6.3.3 Варикапы.....	42
6.3.4 Высокочастотные диоды.....	43
6.3.5 Переключающие диоды (импульсные).....	44
6.3.6 Диоды Шотки.....	46
Лекция № 7. БИПОЛЯРНЫЙ ТРАНЗИСТОР.....	47
7.1 Устройство и принцип действия биполярного транзистора.....	47
7.2 Коэффициент передачи тока эмиттера и вольт-амперная характеристика.....	50
7.3 Математическая модель транзистора и его ВАХ.....	52
Лекция № 8. СПОСОБЫ ВКЛЮЧЕНИЯ И СВОЙСТВА ТРАНЗИСТОРОВ.....	54
8.1 Способы включения и ВАХ биполярного транзистора...	54
8.2 Вольт-амперная характеристика транзистора, включенного по схеме с общей базой.....	55
8.3 ВАХ транзистора, включенного по схеме с общим эмиттером.....	57
8.4 Транзистор как активный четырехполюсник. Дифференциальные параметры биполярного транзистора...	59
8.5 Физическая эквивалентная схема биполярного транзистора.....	62
Лекция № 9. ПОЛЕВЫЕ ТРАНЗИСТОРЫ.....	64
9.1 Устройство и принцип работы полевого транзистора....	64
9.2 Статические характеристики полевого транзистора с электронно-дырочным переходом.....	66
9.3 МДП-транзисторы с индуцированным каналом.....	67
9.4 МДП-транзистор со встроенным каналом.....	69
9.5 ВАХ полевого транзистора (математическая модель)...	70
9.5.1 Транзистор с управляющим n-p-переходом.....	70
9.5.2 Транзистор с изолированным затвором.....	70
9.6 Дифференциальные параметры полевого транзистора....	71
9.7 Физическая эквивалентная схема полевого транзистора	72
9.8 Зависимость параметров полевого транзистора от режима работы.....	73
9.9 Влияние температуры окружающей среды на режим работы полевого транзистора.....	74

Лекция № 10. ПОЛУПРОВОДНИКОВЫЕ ПРИБОРЫ С ОТРИЦАТЕЛЬНЫМ ДИФФЕРЕНЦИАЛЬНЫМ СОПРОТИВЛЕНИЕМ.....	77
10.1 Туннельный диод.....	77
10.2 Лавинный транзистор.....	79
10.3 Тиристоры.....	81
Лекция № 11. КОМПОНЕНТЫ ЭЛЕКТРОННЫХ ЦЕПЕЙ В МИКРОМИНИАТЮРНОМ ИСПОЛНЕНИИ.....	83
11.1 Пассивные компоненты ИС.....	86
11.1.1 Резисторы.....	86
11.1.2 Конденсаторы.....	87
11.1.3 Индуктивности и внутрисхемные соединения.....	88
11.1.4 Транзисторы.....	88
Лекция № 12. ИНДИКАТОРЫ УСТРОЙСТВ ВИЗУАЛЬНОГО ОТОБРАЖЕНИЯ ИНФОРМАЦИИ.....	90
12.1 Физические явления, используемые при построении световых индикаторов.....	91
12.2 Электронно-лучевые трубки.....	91
12.3 Накальные индикаторы.....	92
12.4 Газоразрядные индикаторы.....	92
12.5 Электролюминесцентные индикаторы.....	93
12.6 Полупроводниковые индикаторы.....	93
12.7 Жидкокристаллические индикаторы.....	94
12.8 Фоточувствительные приборы.....	94
12.8.1 Фотоэлектронные приборы.....	95
12.8.2 Фотоэлектрические умножители.....	96
12.8.3 Фотоэлектрические приборы.....	96
12.8.4 Фоторезисторы.....	96
12.8.5 Фотодиоды.....	97
12.8.6 Фототранзистор.....	98
12.8.7 Фототиристор.....	98
12.9 Оптрон.....	98
Лекция № 13. ЭЛЕКТРОННЫЕ УСИЛИТЕЛИ. ОБЩИЕ ПОЛОЖЕНИЯ.....	99
13.1 Классификация и основные характеристики усилителей.....	100
13.2 Коэффициент усиления.....	100
13.3 Амплитудно-частотная, фазочастотная и переходная характеристики усилителей.....	101

13.4 Амплитудная характеристика, динамический диапазон, КПД усилителя.....	103
13.5 Входная и выходная проводимости.....	106
Лекция № 14. ОБРАТНАЯ СВЯЗЬ В ЭЛЕКТРОННЫХ УСИЛИТЕЛЯХ.....	106
14.1 Усилитель как линейный активный четырехполюсник	106
14.2 Обратная связь и ее влияние на характеристики усилителя.....	109
Лекция № 15. ВЫБОР РЕЖИМОВ РАБОТЫ ЭЛЕКТРОННЫХ УСИЛИТЕЛЕЙ.....	114
15.1 Классы усилителей.....	114
15.2 Выбор рабочей точки на ВАХ транзистора усилителя, работающего в режиме А.....	117
Лекция № 16. АПЕРИОДИЧЕСКИЕ УСИЛИТЕЛИ.....	123
16.1 Принципиальная и эквивалентная схемы аperiodического усилителя.....	123
16.2 Учет инерционности биполярного транзистора.....	130
16.3 Входные и выходные проводимости.....	131
Лекция № 17. ШИРОКОПОЛОСНЫЕ ИМПУЛЬСНЫЕ УСИЛИТЕЛИ. ОБОБЩЕНИЕ ПО УСИЛИТЕЛЯМ.....	132
17.1 Анализ искажений импульсного сигнала.....	132
17.2 Коррекция искажений в аperiodическом усилителе....	135
17.3 Каскад усиления с отрицательной обратной связью по току.....	137
17.4 Истоковый и эмиттерный повторители.....	138
17.5 Эмиттерный повторитель.....	140
17.6 Сравнительные характеристики усилителей с различными схемами включения транзисторов.....	141
Лекция № 18. РЕЗОНАНСНЫЕ УСИЛИТЕЛИ И УСИЛИТЕЛИ МОЩНОСТИ.....	141
18.1 Резонансный усилитель с одночастотным контуром....	142
18.2 Многокаскадные резонансные усилители.....	145
18.3 Усилители мощности.....	149
18.4 Однокаскадный транзисторный усилитель мощности, работающий в режиме А.....	151
18.5 Двухтактные выходные усилители мощности.....	151
18.6 Бестрансформаторные усилители мощности.....	153
Лекция № 19. ГЕНЕРАТОРЫ ГАРМОНИЧЕСКИХ КОЛЕБАНИЙ.....	153
19.1 Принцип работы LC-генераторов.....	154

19.2 Генератор с индуктивной обратной связью.....	154
19.3 Условия самовозбуждения.....	156
19.4 Стационарный режим работы автогенератора.....	158
19.5 Трехточечные LC-генераторы.....	159
19.6 Стабилизация частоты колебаний генераторов.....	162
19.7 Схемы кварцевых генераторов.....	163
19.8 RC-генераторы.....	165
Лекция № 20. ОСНОВЫ ИМПУЛЬСНОЙ ТЕХНИКИ.....	167
20.1 Импульсные генераторы.....	168
20.2 Ключевой режим работы транзистора.....	169
20.3 Простейший транзисторный ключ.....	170
20.4 Переходные процессы в транзисторном ключе.....	174
20.5 Разновидности транзисторных ключей.....	174
20.6 Транзисторный ключ в элементах транзисторно-транзисторной логики (ТТЛ).....	174
20.7 Транзисторный ключ в элементах интеллектуальной логики.....	176
Лекция № 21. ИМПУЛЬСНЫЕ ГЕНЕРАТОРЫ.....	177
21.1 Триггеры.....	177
21.1.1 Симметричный триггер.....	177
21.2 Мультивибраторы.....	180
21.2.1 Ждущие мультивибраторы.....	180
21.3 Генераторы линейно изменяющихся напряжений.....	184
21.3.1 Схема генератора линейного напряжения.....	186
21.4 Импульсные генераторы на основе операционных усилителей.....	187
21.4.1 Компаратор на операционном усилителе.....	187
21.4.2 Одновходовый компаратор.....	187
21.4.3 Триггер Шмитта на операционном усилителе.....	188
Лекция № 22. ЭЛЕКТРОМАГНИТНЫЕ РЕЛЕ.....	188
22.1 Электромеханические реле. Общие сведения и основные параметры.....	188
22.2 Электронные реле.....	190
22.3 Электронные реле времени.....	192
Лекция № 23. ИСТОЧНИКИ ПИТАНИЯ РАДИОЭЛЕКТРОННОЙ АППАРАТУРЫ.....	196
23.1 Общие требования к источникам питания.....	196
23.2 Выпрямители.....	199
23.3 Сглаживающие фильтры.....	204
23.4 Стабилизаторы.....	205

Лекция № 24. ПОНЯТИЕ ЦИФРОВОЙ ЭЛЕКТРОНИКИ	207
24.1 Термины и определения цифровой электроники.....	207
24.2 Системы счисления, применяемые при разработке цифровых устройств.....	209
24.2.1 Перевод чисел из одной системы счисления в другую.....	209
24.2.2 Перевод целых чисел из двоичной системы счисления в шестнадцатеричную.....	210
24.2.3 Перевод целых чисел из шестнадцатеричной системы счисления в двоичную.....	211
24.2.4 Перевод целых чисел из двоичной системы счисления в десятичную.....	212
24.2.5 Перевод целых чисел из десятичной системы счисления в двоичную.....	212
24.3 Функции алгебры логики.....	214
24.3.1 Функции алгебры логики одного аргумента.....	214
24.3.2 Функции алгебры логики двух аргументов.....	215
24.3.3 Функции конститuentы.....	217
24.4 Принцип двойственности.....	217
24.5 Теоремы булевой алгебры.....	217
Лекция № 25. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ИНТЕГРАЛЬНЫХ СХЕМ.....	218
25.1 Семейства цифровых микросхем.....	218
25.2 Основные параметры семейств.....	219
25.3 Типы выводов в цифровых компонентах.....	223
25.4 Система кодированного обозначения цифровых микросхем.....	224
Лекция № 26. КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА (ЧАСТЬ 1).....	226
26.1 Классификация цифровых устройств.....	226
26.2 КЦУ, реализующие элементарные логические функции.....	226
26.3 Дешифраторы.....	234
26.4 Шифраторы.....	237
Лекция № 27. КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА (ЧАСТЬ 2).....	240
27.1 Мультиплексоры.....	240
27.2 Демультимплексоры.....	242
27.3 Цифровые компараторы.....	243
27.4 Схема проверки на четность/нечетность.....	244

Лекция № 28. СУММАТОРЫ	246
28.1 Общее определение сумматора.....	246
28.2 Классификация сумматоров.....	247
28.3 Двоичный полусумматор.....	248
28.4 Одноразрядный двоичный сумматор.....	248
28.5 Многоразрядный сумматор параллельного действия...	249
Лекция № 29. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЦИФРОВЫЕ УСТРОЙСТВА. ТРИГГЕРЫ	252
29.1 Последовательностные цифровые устройства.....	252
29.2 Общее определение триггеров.....	253
29.3 Классификация триггеров.....	255
29.4 Асинхронный RS-триггер.....	257
29.5 Синхронный RS-триггер.....	260
29.6 Двухступенчатый RS-триггер.....	262
29.7 D-триггер.....	265
29.8 Универсальный JK-триггер.....	267
29.9 T-триггер.....	269
29.10 Синхронные триггеры с динамическим управлением	269
29.11 Взаимные преобразования триггеров.....	273
Лекция № 30. РЕГИСТРЫ	274
30.1 Общее определение регистров.....	274
30.2 Классификация регистров.....	274
30.3 Регистр памяти.....	275
30.4 Регистр сдвига.....	278
30.5 Регистр с параллельным приемом и последовательной выдачей информации.....	281
30.6 Регистр с последовательным приемом и параллельной выдачей информации.....	281
30.7 Универсальный регистр.....	284
30.8 Регистр последовательного приближения.....	284
Лекция № 31. СЧЕТЧИКИ	287
31.1 Общее определение счетчиков.....	287
31.2 Классификация счетчиков.....	288
31.3 Асинхронные счетчики.....	289
31.4 Построение счётчиков с произвольным модулем счета	291
31.5 Синхронные счетчики с асинхронным переносом.....	294
31.6 Синхронные счетчики.....	298
Литература	301

Учебное издание

Хмелёв Владимир Николаевич
Шалунов Андрей Викторович
Сыпин Евгений Викторович

Электроника и микропроцессорная техника

Редактор Соловьёва С.В.
Корректор Малыгина И.В.
Технический редактор Малыгина Ю.Н.
Подписано в печать 06.03.08. Формат 60x84 1/16.

Усл. п. л. 17,96. Уч.-изд. л. 19,31.

Печать – ризография, множительно-копировальный
аппарат «RISO TR -1510»
Тираж 300 экз. Заказ 2008-14.

Издательство Алтайского государственного
технического университета
656038, г. Барнаул, пр-т Ленина, 46

Оригинал-макет подготовлен ИИО БТИ АлтГТУ
Отпечатано в ИИО БТИ АлтГТУ
659305, г. Бийск, ул. Трофимова, 29

U-Sonic.ru

В.Н. Хмелёв, А.В. Шалунов, Е.В. Сыпин

**ЭЛЕКТРОНИКА
И МИКРОПРОЦЕССОРНАЯ ТЕХНИКА**

Допущено научно-методическим советом БТИ АлтГТУ
для внутривузовского использования в качестве курса лекций
для студентов специальностей:
200106 «Информационно-измерительная техника и технологии»
и 230201 «Информационные системы и технологии»

Бийск
Издательство Алтайского государственного технического университета
им. И.И. Ползунова
2008